

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

17752662

Basic Patent (No,Kind,Date): JP 2002108243 A2 20020410 <No. of Patents: 003>

DISPLAY PANEL, INSPECTING METHOD AND MANUFACTURING METHOD FOR
DISPLAY PANEL (English)

Patent Assignee: SEMICONDUCTOR ENERGY LAB

Author (Inventor): YAMAZAKI SHUNPEI; KOYAMA JUN; ARAI YASUYUKI

IPC: *G09F-009/00; G01R-031/02; G09F-009/30; H01L-021/3205; H01L-021/8238;

H01L-027/08; H01L-027/092; H01L-029/786

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 2002108243	A2	20020410	JP 2001166198	A	20010601 (BASIC)
US 20020044124	AA	20020418	US 873447	A	20010605
TW 538246	B	20030621	TW 90113255	A	20010531

Priority Data (No,Kind,Date):

JP 2001166198 A 20010601

JP 2000168203 A 20000605

JP 2000168214 A 20000605

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

07239792 **Image available**

DISPLAY PANEL, INSPECTING METHOD AND MANUFACTURING METHOD FOR
DISPLAY PANEL

PUB. NO.: **2002-108243** [JP 2002108243 A]

PUBLISHED: April 10, 2002 (20020410)

INVENTOR(s): YAMAZAKI SHUNPEI

 KOYAMA JUN

 ARAI YASUYUKI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD

APPL. NO.: 2001-166198 [JP 2001166198]

FILED: June 01, 2001 (20010601)

PRIORITY: 2000-168203 [JP 2000168203], JP (Japan), June 05, 2000
(20000605)

 2000-168214 [JP 2000168214], JP (Japan), June 05, 2000
(20000605)

INTL CLASS: G09F-009/00; G01R-031/02; G09F-009/30; H01L-021/3205;
 H01L-021/8238; H01L-027/08; H01L-027/092; H01L-029/786

ABSTRACT

PROBLEM TO BE SOLVED: To provide an inspecting method of a display panel, which can discriminate whether an EL panel is non-defective or defective before the display panel is sealed.

SOLUTION: The method has a first inspecting method for patterning a conductive film and forming a pixel electrode after a process for measuring the value of a current flowing in the conductive film and detecting a defective pixel by the measured value and a second inspecting method for removing a conductive film for inspection after a process for connecting all the pixel electrodes with the conductive film for inspection, measuring the value of the current flowing in the conductive film for inspection and detecting the defective pixel by the measured value.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-108243

(P 2 0 0 2 - 1 0 8 2 4 3 A)

(43) 公開日 平成14年4月10日 (2002. 4. 10)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
G09F 9/00	352	G09F 9/00	352 2G014
G01R 31/02		G01R 31/02	5C094
G09F 9/30	338	G09F 9/30	338 5F033
H01L 21/3205		H01L 27/08	331 E 5F048
21/8238		29/78	624 5F110

審査請求 未請求 請求項の数39 O L (全31頁) 最終頁に続く

(21) 出願番号 特願2001-166198 (P 2001-166198)

(22) 出願日 平成13年6月1日 (2001. 6. 1)

(31) 優先権主張番号 特願2000-168203 (P 2000-168203)

(32) 優先日 平成12年6月5日 (2000. 6. 5)

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願2000-168214 (P 2000-168214)

(32) 優先日 平成12年6月5日 (2000. 6. 5)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72) 発明者 小山 潤
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72) 発明者 荒井 康行
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

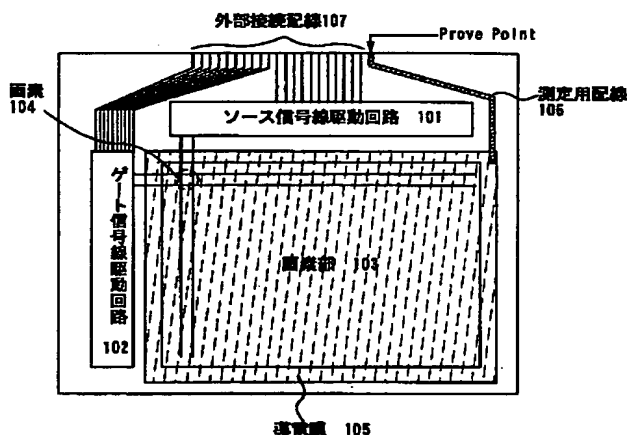
最終頁に続く

(54) 【発明の名称】 表示パネル、検査方法及び該表示パネルの作製方法

(57) 【要約】

【課題】 表示パネルを封止する前に、ELパネルが良品か不良品かの区別をつけることが可能な表示パネルの検査方法を提供する。

【解決手段】 導電膜を流れる電流の値を測定し、測定値によって不良画素を検出する工程の後、導電膜をパターニングし画素電極を形成する第1の検査方法と、全ての画素電極を検査用導電膜で接続し、前記検査用導電膜を流れる電流の値を測定し、測定値によって不良画素を検出する工程の後、前記検査用導電膜を除去する第2の検査方法。



【特許請求の範囲】

【請求項 1】 T F T と、前記 T F T と電氣的に接続されている画素電極とを含む複数の画素を有する表示パネルの、作製工程における検査方法であって、前記画素電極を導電膜をパターンニングして形成する前に、前記複数の画素のそれぞれにおいて、各画素の有する T F T を順次オンにして、前記導電膜を流れる電流の値を測定し、前記測定した電流の値から前記 T F T の不良を確認することを特徴とする検査方法。

【請求項 2】 配線と T F T と画素電極とを含む複数の画素を有する表示パネルの作製工程における検査方法であって、前記画素電極を導電膜をパターンニングして形成する前に、前記複数の画素のそれぞれにおいて、前記配線の電位を制御することで、各画素の有する T F T を順次オンにして、前記導電膜を流れる電流の値を測定し、前記測定した電流の値から前記 T F T と前記配線の不良を確認することを特徴とする検査方法。

【請求項 3】 スイッチング用 T F T と、 E L 駆動用 T F T と、ソース信号線と、ゲート信号線と、電源供給線と、前記 E L 駆動用 T F T と電氣的に接続されている画素電極とを含む複数の画素を有する表示パネルの作製工程における検査方法であって、前記画素電極を導電膜をパターンニングして形成する前に、前記複数の画素のそれぞれにおいて、前記ゲート信号線の電位を制御することで各画素の有する前記スイッチング用 T F T を順次オンにし、前記ソース信号線の電位を制御することで各画素の有する前記 E L 駆動用 T F T を順次オンにし、前記電源供給線の電位を制御し、前記導電膜を流れる電流の値を測定し、前記測定した電流の値から、前記スイッチング用 T F T、前記 E L 駆動用 T F T、前記ソース信号線、前記ゲート信号線及び前記電源供給線の不良を確認することを特徴とする検査方法。

【請求項 4】 スイッチング用 T F T と、 E L 駆動用 T F T と、ソース信号線と、ゲート信号線と、電源供給線と、前記 E L 駆動用 T F T のドレイン領域に接続された画素電極とを含む複数の画素を有する表示パネルの作製工程における検査方法であって、前記画素電極を導電膜をパターンニングして形成する前に、前記複数の画素のそれぞれにおいて、前記ゲート信号線の電位を制御することで各画素の有する前記スイッチング用 T F T を順次オンにし、前記ソース信号線の電位を制御することで各画素の有する前記 E L 駆動用 T F T を順次オンにし、前記電源供給線の電位を制御し、前記導電膜を流れる電流の値を測定し、前記測定した電流の値から、前記スイッチング用 T F T、前記 E L 駆動用 T F T、前記ソース信号線、前記ゲート信号線及び前記電源供給線の不良を確認することを特徴とする検査方法。

【請求項 5】 第 1 のスイッチング用 T F T と、第 2 のスイッチング用 T F T と、 E L 駆動用 T F T と、ソース信号線と、第 1 のゲート信号線と、第 2 のゲート信号線と、電源供給線と、前記 E L 駆動用 T F T と電氣的に接続されている画素電極とを含む複数の画素を有する表示パネルの作製工程における検査方法であって、前記画素電極を導電膜をパターンニングして形成する前に、前記複数の画素のそれぞれにおいて、前記第 1 のゲート信号線の電位を制御することで各画素の有する前記第 1 のスイッチング用 T F T を順次オンにし、前記ソース信号線の電位を制御することで各画素の有する前記 E L 駆動用 T F T を順次オンにし、前記電源供給線の電位を制御し、前記導電膜を流れる電流の値を測定する工程と、前記画素電極を導電膜をパターンニングして形成する前に、前記複数の画素のそれぞれにおいて、前記第 2 のゲート信号線の電位を制御することで各画素の有する前記第 2 のスイッチング用 T F T を順次オン、各画素の有する前記 E L 駆動用 T F T を順次オフにし、前記導電膜を流れる電流の値を測定し、前記測定した電流の値から、前記第 1 のスイッチング用 T F T、前記第 2 のスイッチング用 T F T、前記 E L 駆動用 T F T、前記ソース信号線、前記第 1 のゲート信号線、前記第 2 のゲート信号線及び前記電源供給線の不良を確認する工程と、を有することを特徴とする検査方法。

【請求項 6】 第 1 のスイッチング用 T F T と、第 2 のスイッチング用 T F T と、 E L 駆動用 T F T と、ソース信号線と、第 1 のゲート信号線と、第 2 のゲート信号線と、電源供給線と、前記 E L 駆動用 T F T のドレイン領域に接続された画素電極とを含む複数の画素を有する表示パネルの作製工程における検査方法であって、前記画素電極を導電膜をパターンニングして形成する前に、前記複数の画素のそれぞれにおいて、前記第 1 のゲート信号線の電位を制御することで各画素の有する前記第 1 のスイッチング用 T F T を順次オンにし、前記ソース信号線の電位を制御することで各画素の有する前記 E L 駆動用 T F T を順次オンにし、前記電源供給線の電位を制御し、前記導電膜を流れる電流の値を測定する工程と、前記画素電極を導電膜をパターンニングして形成する前に、前記複数の画素のそれぞれにおいて、前記第 2 のゲート信号線の電位を制御することで各画素の有する前記第 2 のスイッチング用 T F T を順次オン、各画素の有する前記 E L 駆動用 T F T を順次オフにし、前記導電膜を流れる電流の値を測定し、前記測定した電流の値から、前記第 1 のスイッチング用 T F T、前記第 2 のスイッチング用 T F T、前記 E L 駆動用 T F T、前記ソース信号線、前記第 1 のゲート信号線、前記第 2 のゲート信号線及び前記電源供給線の不良を確認する工程と、を有することを特徴とする検査方法。

10

20

30

40

50

【請求項 7】請求項 1 乃至請求項 6 のいずれか 1 項において、前記画素電極が形成された後に、前記画素電極上に E L 層と対向電極とを順に積層するように形成することを特徴とする検査方法。

【請求項 8】請求項 1 乃至請求項 7 のいずれか 1 項において、前記導電膜を流れる電流の値は、前記導電膜に接続された測定用配線を流れる電流の値を測定することで求められることを特徴とする検査方法。

【請求項 9】T F T と、前記 T F T と電気的に接続されている画素電極とを含む複数の画素を有する表示パネルの作製工程における検査方法であって、
10 前記複数の画素に含まれる画素電極を全て検査用導電膜で電気的に接続する工程と、
前記複数の画素のそれぞれにおいて、各画素の有する前記 T F T を順次オンにして、前記検査用導電膜を流れる電流の値を測定し、前記測定した電流の値から、前記 T F T 及び前記画素電極の良不良を確認する工程と、
前記検査用導電膜を除去する工程と、を有することを特徴とする検査方法。

【請求項 10】配線と T F T と、前記 T F T と電気的に接続されている画素電極とを含む複数の画素を有する表示パネルの作製工程における検査方法であって、
20 前記複数の画素に含まれる画素電極を全て検査用導電膜で電気的に接続する工程と、
前記複数の画素のそれぞれにおいて、前記配線の電位を制御することで各画素の有する前記 T F T を順次オンにして、前記検査用導電膜を流れる電流の値を測定し、前記測定した電流の値から、前記 T F T、前記配線及び前記画素電極の良不良を確認する工程と、
30 前記検査用導電膜を除去する工程と、を有することを特徴とする検査方法。

【請求項 11】スイッチング用 T F T と、E L 駆動用 T F T と、ソース信号線と、ゲート信号線と、電源供給線と、前記 E L 駆動用 T F T と電気的に接続されている画素電極とを含む複数の画素を有する表示パネルの作製工程における検査方法であって、
前記複数の画素に含まれる画素電極を全て検査用導電膜で電気的に接続する工程と、
前記複数の画素のそれぞれにおいて、前記ゲート信号線の電位を制御することで各画素の有する前記スイッチング用 T F T を順次オンにし、前記ソース信号線の電位を制御することで各画素の有する前記 E L 駆動用 T F T を順次オンにし、前記電源供給線の電位を制御し、前記検査用導電膜を流れる電流の値を測定し、前記測定した電流の値から、前記スイッチング用 T F T、前記 E L 駆動用 T F T、前記ソース信号線、前記ゲート信号線、前記電源供給線及び前記画素電極の良不良を確認する工程と、
40 前記検査用導電膜を除去する工程と、を有することを特徴とする検査方法。

【請求項 12】スイッチング用 T F T と、E L 駆動用 T F T と、ソース信号線と、ゲート信号線と、電源供給線と、前記 E L 駆動用 T F T のドレイン領域に接続されている画素電極とを含む複数の画素を有する表示パネルの作製工程における検査方法であって、

前記複数の画素に含まれる画素電極を全て検査用導電膜で電気的に接続する工程と、
前記複数の画素のそれぞれにおいて、前記ゲート信号線の電位を制御することで各画素の有する前記スイッチング用 T F T を順次オンにし、前記ソース信号線の電位を制御することで各画素の有する前記 E L 駆動用 T F T を順次オンにし、前記電源供給線の電位を制御し、前記検査用導電膜を流れる電流の値を測定し、前記測定した電流の値から、前記スイッチング用 T F T、前記 E L 駆動用 T F T、前記ソース信号線、前記ゲート信号線、前記電源供給線及び前記画素電極の良不良を確認する工程と、
前記検査用導電膜を除去する工程と、を有することを特徴とする検査方法。

【請求項 13】第 1 のスイッチング用 T F T と、第 2 のスイッチング用 T F T と、E L 駆動用 T F T と、ソース信号線と、第 1 のゲート信号線と、第 2 のゲート信号線と、電源供給線と、前記 E L 駆動用 T F T と電気的に接続されている画素電極とを含む複数の画素を有する表示パネルの作製工程における検査方法であって、
前記複数の画素に含まれる画素電極を全て検査用導電膜で電気的に接続する工程と、
前記複数の画素のそれぞれにおいて、前記画素電極を導電膜をパターンニングして形成する前に、前記第 1 のゲート信号線の電位を制御することで各画素の有する前記第 1 のスイッチング用 T F T を順次オンにし、前記ソース信号線の電位を制御することで各画素の有する前記 E L 駆動用 T F T を順次オンにし、前記電源供給線の電位を制御し、前記検査用導電膜を流れる電流の値を測定する工程と、
前記複数の画素のそれぞれにおいて、前記画素電極を導電膜をパターンニングして形成する前に、前記第 2 のゲート信号線の電位を制御することで各画素の有する前記第 2 のスイッチング用 T F T を順次オン、各画素の有する前記 E L 駆動用 T F T を順次オフにし、前記検査用導電膜を流れる電流の値を測定し、前記測定した電流の値から、前記第 1 のスイッチング用 T F T、前記第 2 のスイッチング用 T F T、前記 E L 駆動用 T F T、前記ソース信号線、前記第 1 のゲート信号線、前記第 2 のゲート信号線、前記電源供給線及び前記画素電極の良不良を確認する工程と、
前記検査用導電膜を除去する工程と、を有することを特徴とする検査方法。

【請求項 14】第 1 のスイッチング用 T F T と、第 2 のスイッチング用 T F T と、E L 駆動用 T F T と、ソース

信号線と、第1のゲート信号線と、第2のゲート信号線と、電源供給線と、前記EL駆動用TFTのドレイン領域に接続されている画素電極とを含む複数の画素を有する表示パネルの作製工程における検査方法であって、前記複数の画素に含まれる画素電極を全て検査用導電膜で電氣的に接続する工程と、

前記複数の画素のそれぞれにおいて、前記画素電極を導電膜をパターニングして形成する前に、前記第1のゲート信号線の電位を制御することで各画素の有する前記第1のスイッチング用TFTを順次オンにし、前記ソース信号線の電位を制御することで各画素の有する前記EL駆動用TFTを順次オンにし、前記電源供給線の電位を制御し、前記検査用導電膜を流れる電流の値を測定する工程と、

前記複数の画素のそれぞれにおいて、前記画素電極を導電膜をパターニングして形成する前に、前記第2のゲート信号線の電位を制御することで各画素の有する前記第2のスイッチング用TFTを順次オン、各画素の有する前記EL駆動用TFTを順次オフにし、前記検査用導電膜を流れる電流の値を測定し、前記測定した電流の値から、前記第1のスイッチング用TFT、前記第2のスイッチング用TFT、前記EL駆動用TFT、前記ソース信号線、前記第1のゲート信号線、前記第2のゲート信号線、前記電源供給線及び前記画素電極の良不良を確認する工程と、

前記検査用導電膜を除去する工程と、を有することを特徴とする検査方法。

【請求項15】請求項9乃至請求項14のいずれか1項において、前記検査用導電膜が除去された後に、前記画素電極上にEL層と対向電極とを順に積層するように形成することを特徴とする検査方法。

【請求項16】請求項9乃至請求項15のいずれか1項において、前記検査用導電膜を流れる電流の値は、前記検査用導電膜に接続された測定用配線を流れる電流の値を測定することで求められることを特徴とする検査方法。

【請求項17】請求項9乃至請求項16のいずれか1項において、前記検査用導電膜は液体状であることを特徴とする検査方法。

【請求項18】絶縁表面上に設けられた全ての複数のTFT及び測定用配線とに電氣的に接続された導電膜を形成する工程と、

前記複数のTFTを順次オンにして、前記測定用配線に流れる電流の値を測定し、前記測定した電流の値から、前記複数のTFTの良不良を確認する工程と、

前記導電膜をパターニングして、前記複数のTFTのそれぞれに電氣的に接続されている複数の画素電極を形成する工程と、を有することを特徴とする表示パネルの作製方法。

【請求項19】絶縁表面上に設けられた複数のTFTを

覆って層間絶縁膜を形成する工程と、

前記層間絶縁膜にコンタクトホールを形成する工程と、前記コンタクトホールを介して、前記複数のTFTのソース領域またはドレイン領域にそれぞれ接する複数の接続配線と、前記絶縁表面に接する測定用配線とを形成する工程と、

前記複数の接続配線及び前記測定用配線に接する導電膜を形成する工程と、

前記複数のTFTを順次オンにして、前記測定用配線に流れる電流の値を測定し、前記測定した電流の値から、前記複数のTFT及び前記接続配線の良不良を確認する工程と、

前記導電膜をパターニングして、前記複数のTFTのそれぞれに電氣的に接続されている複数の画素電極を形成する工程と、を有することを特徴とする表示パネルの作製方法。

【請求項20】請求項18または請求項19において、前記複数の画素電極が形成された後に、前記複数の画素電極上にEL層と対向電極とを順に積層するように形成することを特徴とする表示パネルの作製方法。

【請求項21】絶縁表面上に設けられた複数のTFTにそれぞれ電氣的に接続された複数の画素電極の全てと、測定用配線とに、電氣的に接続された検査用導電膜を形成する工程と、

前記複数のTFTを順次オンにして、前記測定用配線に流れる電流の値を測定し、前記測定した電流の値から、前記複数のTFT及び前記複数の画素電極の良不良を確認する工程と、

前記検査用導電膜を除去する工程と、を有することを特徴とする表示パネルの作製方法。

【請求項22】絶縁表面上に設けられた複数のTFTを覆って層間絶縁膜を形成する工程と、

前記層間絶縁膜にコンタクトホールを形成する工程と、前記コンタクトホールを介して、前記複数のTFTのソース領域またはドレイン領域にそれぞれ接する複数の接続配線と、前記絶縁表面に接する測定用配線とを形成する工程と、

前記複数の接続配線に接する導電膜を形成する工程と、前記導電膜をパターニングして、前記複数のTFTのそれぞれに電氣的に接続されている複数の画素電極を形成する工程と、

全ての前記複数の画素電極及び前記測定用配線に接する検査用導電膜を形成する工程と、

前記複数のTFTを順次オンにして、前記測定用配線に流れる電流の値を測定し、前記測定した電流の値から、前記複数のTFT、前記複数の画素電極及び前記接続配線の良不良を確認する工程と、

前記検査用導電膜を除去する工程と、を有することを特徴とする表示パネルの作製方法。

【請求項23】請求項21または請求項22において、

前記検査用導電膜が除去された後に、前記画素電極上にEL層と対向電極とを順に積層するように形成することを特徴とする表示パネルの作製方法。

【請求項24】請求項21乃至請求項23のいずれか1項において、前記検査用導電膜は液体状であることを特徴とする表示パネルの作製方法。

【請求項25】請求項18乃至請求項24のいずれか1項に記載の、作製方法を用いて形成されていることを特徴とする表示パネル。

【請求項26】請求項25において、前記表示パネルとソース信号線駆動回路とゲート信号線駆動回路とを有することを特徴とする駆動回路付表示パネル。

【請求項27】請求項25において、前記表示パネルとソース信号線駆動回路とゲート信号線駆動回路とコントローラーとを有することを特徴とするコントローラー及び駆動回路付表示パネル。

【請求項28】請求項25において、前記表示パネルとソース信号線駆動回路とゲート信号線駆動回路とコントローラーとマイコンとを有することを特徴とするマイコン及びコントローラー及び駆動回路付表示パネル。

【請求項29】請求項25において、前記表示パネルを用いることを特徴とする電子機器。

【請求項30】請求項26において、前記駆動回路付表示パネルを用いることを特徴とする電子機器。

【請求項31】請求項27において、前記コントローラー及び駆動回路付表示パネルを用いることを特徴とする電子機器。

【請求項32】請求項28において、前記マイコン及びコントローラー及び駆動回路付表示パネルを用いることを特徴とする電子機器。

【請求項33】請求項29乃至請求項32のいずれか1項において、ELディスプレイ、ビデオカメラ、デジタルカメラ、ゴーグル型表示装置、ナビゲーションシステム、音響再生装置、ノート型パーソナルコンピュータ、携帯情報端末またはDVD装置であることを特徴とする電子機器。

【請求項34】TF Tと、前記TF Tと電気的に接続されている画素電極とを含む複数の画素を有する表示パネルの作製方法であって、

前記TF Tと電気的に接続されている導電膜を成膜し、前記複数の画素のそれぞれにおいて、各画素の有するTF Tを順次オンにして、前記導電膜を流れる電流の値を測定し、前記測定した電流の値から前記TF Tの良不良を確認し、

前記導電膜をパターニングして前記画素電極を形成することを特徴とする表示パネルの作製方法。

【請求項35】配線とTF Tと画素電極とを含む複数の画素を有する表示パネルの作製方法であって、

前記複数の画素のそれぞれにおいて、前記配線の電位を制御することで、各画素の有するTF Tを順次オンにし

て、前記導電膜を流れる電流の値を測定し、前記測定した電流の値から前記TF Tと前記配線の良不良を確認し、

前記導電膜をパターニングして前記画素電極を形成することを特徴とする表示パネルの作製方法。

【請求項36】スイッチング用TF Tと、EL駆動用TF Tと、ソース信号線と、ゲート信号線と、電源供給線と、前記EL駆動用TF Tと電気的に接続されている画素電極とを含む複数の画素を有する表示パネルの作製方法であって、

前記複数の画素のそれぞれにおいて、前記ゲート信号線の電位を制御することで各画素の有する前記スイッチング用TF Tを順次オンにし、前記ソース信号線の電位を制御することで各画素の有する前記EL駆動用TF Tを順次オンにし、前記電源供給線の電位を制御し、前記導電膜を流れる電流の値を測定し、前記測定した電流の値から、前記スイッチング用TF T、前記EL駆動用TF T、前記ソース信号線、前記ゲート信号線及び前記電源供給線の良不良を確認し、

前記導電膜をパターニングして前記画素電極を形成することを特徴とする表示パネルの作製方法。

【請求項37】TF Tと、前記TF Tと電気的に接続されている画素電極とを含む複数の画素を有する表示パネルの作製方法であって、

前記複数の画素に含まれる画素電極を全て検査用導電膜で電気的に接続し、

前記複数の画素のそれぞれにおいて、各画素の有する前記TF Tを順次オンにして、前記検査用導電膜を流れる電流の値を測定し、前記測定した電流の値から、前記TF T及び前記画素電極の良不良を確認し、

前記検査用導電膜を除去することを特徴とする表示パネルの作製方法。

【請求項38】配線とTF Tと、前記TF Tと電気的に接続されている画素電極とを含む複数の画素を有する表示パネルの作製方法であって、

前記複数の画素に含まれる画素電極を全て検査用導電膜で電気的に接続し、

前記複数の画素のそれぞれにおいて、前記配線の電位を制御することで各画素の有する前記TF Tを順次オンにして、前記検査用導電膜を流れる電流の値を測定し、前記測定した電流の値から、前記TF T、前記配線及び前記画素電極の良不良を確認し、

前記検査用導電膜を除去することを特徴とする表示パネルの作製方法。

【請求項39】スイッチング用TF Tと、EL駆動用TF Tと、ソース信号線と、ゲート信号線と、電源供給線と、前記EL駆動用TF Tと電気的に接続されている画素電極とを含む複数の画素を有する表示パネルの作製方法であって、

前記複数の画素に含まれる画素電極を全て検査用導電膜

で電氣的に接続し、

前記複数の画素のそれぞれにおいて、前記ゲート信号線の電位を制御することで各画素の有する前記スイッチング用 T F T を順次オンにし、前記ソース信号線の電位を制御することで各画素の有する前記 E L 駆動用 T F T を順次オンにし、前記電源供給線の電位を制御し、前記検査用導電膜を流れる電流の値を測定し、前記測定した電流の値から、前記スイッチング用 T F T、前記 E L 駆動用 T F T、前記ソース信号線、前記ゲート信号線、前記電源供給線及び前記画素電極の良不良を確認し、前記検査用導電膜を除去することを特徴とする表示パネルの作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は E L (エレクトロルミネッセンス) 素子を基板上に作り込んで形成された電子ディスプレイにおいて、E L 素子を形成する前に画素部が正常に動作するかどうかを検査する方法に関する。特に半導体素子(半導体薄膜を用いた素子)を用いた E L ディスプレイにおいて、E L 素子を形成する前に画素部が正常に動作するかどうかを検査する方法(検査方法)に関する。

【0002】

【従来の技術】近年、基板上に T F T を形成する技術が大幅に進歩し、アクティブマトリクス型の電子ディスプレイへの応用開発が進められている。特に、ポリシリコン膜を用いた T F T は、従来のアモルファスシリコン膜を用いた T F T よりも電界効果移動度(モビリティともいう)が高いので、高速動作が可能である。そのため、従来基板の外に設けられた駆動回路で行っていた画素の制御を、画素と同一の基板上に形成した駆動回路で行うことが可能となっている。

【0003】このようなアクティブマトリクス型の電子ディスプレイは、同一基板上に様々な回路や素子を作り込むことで製造コストの低減、電子ディスプレイの小型化、歩留まりの上昇、スループットの低減など、様々な利点が得られる。

【0004】そして特に電子ディスプレイの中でも、自発光型素子として E L 素子を有したアクティブマトリクス型の E L ディスプレイの研究が活発化している。E L ディスプレイは有機 E L ディスプレイ(O E L D : Organic EL Display)又は有機ライトエミッティングダイオード(O L E D : Organic Light Emitting Diode)とも呼ばれている。

【0005】E L ディスプレイは、液晶ディスプレイと異なり自発光型である。E L 素子是一对の電極(陽極と陰極)間に E L 層が挟まれた構造となっているが、E L 層は通常、積層構造となっている。代表的には、コダック・イーストマン・カンパニーの Tang らが提案した「正孔輸送層/発光層/電子輸送層」という積層構造が挙げ

られる。この構造は非常に発光効率が高く、現在、研究開発が進められている E L ディスプレイは殆どこの構造を採用している。

【0006】また他にも、陽極上に正孔注入層/正孔輸送層/発光層/電子輸送層、または正孔注入層/正孔輸送層/発光層/電子輸送層/電子注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。

【0007】本明細書において陰極と陽極の間に設けられる全ての層を総称して E L 層と呼ぶ。よって上述した正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等は、全て E L 層に含まれる。

【0008】そして、上記構造でなる E L 層に一对の電極から所定の電圧をかけることによって、E L 層に直流の電場が発生し、それにより発光層においてキャリアの再結合が起こって発光する。E L 層におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光(蛍光)と三重項励起状態から基底状態に戻る際の発光(リン光)とがあるが、本発明の E L ディスプレイは、上述した発光のうちのいずれか一方の発光を用いても良いし、または両方の発光を用いても良い。

【0009】なお、本明細書中では、陽極、E L 層及び陰極で形成される発光素子を E L 素子と呼ぶ。また E L 素子が発光することを本明細書中では、E L 素子が駆動すると呼ぶ。

【0010】E L 層は熱、光、水分、酸素等によって劣化が促進されることから、一般的にアクティブマトリクス型の E L ディスプレイの作製において、画素部に配線や T F T を形成した後に E L 素子が形成される。

【0011】そして E L 素子が形成された後、E L 素子が設けられる基板(E L パネル)とカバー材とを、E L 素子が外気に曝されないように貼り合わせてシール材等により封止(パッケージング)する。

【0012】パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ(F P C、T A B 等)を取り付けて、アクティブマトリクス型の E L ディスプレイが完成する。

【0013】

【発明が解決しようとする課題】アクティブマトリクス型の E L ディスプレイにおいて、E L 素子的一对の電極から E L 層にかかる電圧は、各画素に設けられた T F T によって制御される。そのため、画素部が有する T F T がスイッチング素子として機能しなかったり、配線が断線またはショートするなど、何らかの不具合が生じると、E L 素子が有する E L 層に所定の電圧をかけることができなくなる。その場合、画素は所望の階調を表示することができない。

【0014】そして、このように画素部において E L 素子の発光を制御する配線や T F T に何らかの不具合が生

じていても、ELディスプレイを完成させて実際に表示を行うまで、その不具合の存在を確認することが難しい。そのため実際には製品にならないELパネルであっても、良品との区別をつけるために、EL素子を形成し、パッケージングし、コネクタを取り付けてELディスプレイとして完成させる必要がある。この場合、EL素子を形成する工程と、パッケージングする工程と、コネクタを取り付ける工程とが無駄になるため、時間とコストを抑えることができない。また多面取りの基板を用いてELパネルを形成する場合でも、パッケージングしコネクタを取り付ける工程が無駄になり、同様に時間とコストを抑えることができない。

【0015】アクティブマトリクス型のELディスプレイに先行して量産化されているアクティブマトリクス型の液晶ディスプレイでは、画素部を有するパネル（液晶パネル）と対向電極を有する基板との間に液晶を封入して液晶ディスプレイを完成させる前に、画素部において配線やTFTを形成した後、各画素が有するコンデンサに電荷を蓄積し、その電荷量を各画素ごとに測定することで、画素部に不具合が生じていないかどうかを確認している。

【0016】しかしアクティブマトリクス型のELディスプレイの場合、一般的に各画素ごとにTFTが2つ以上設けられていることが多い。そしてEL素子が有する一方の電極（画素電極）とコンデンサとが、TFTを間に介して接続されている場合がある。この場合、コンデンサに蓄積した電荷量を測定しても、コンデンサと画素電極との間に接続されている配線およびTFTに不具合があるかどうかを確認することが難しい。

【0017】アクティブマトリクス型のELディスプレイの量産化に向けて、ELディスプレイを完成させる前に、画素部において配線およびTFTに不具合が生じていないか、言いかえると、各画素のEL素子の画素電極に所定の電圧を印加することができるかどうかの検査方法の確立が求められている。

【0018】

【課題を解決するための手段】本発明で開示するELパネルの第1の検査方法では、画素部において配線およびTFTが形成された後、EL素子の画素電極となる導電性を有する膜（導電膜）を画素部全体に形成する。導電膜は、画素部の配線およびTFTが全てショートすることがないように、間に層間絶縁膜を挟んで配線またはTFTの上に形成することが必要である。そして該導電膜は、各画素が有する少なくとも1つのTFTのソース領域もしくはドレイン領域と、それぞれ接続するように形成されている。

【0019】そして各画素が有する配線に、実際に画像を表示するのに必要な高さの電位を与える。なお本明細書において、画素が有する配線、言いかえると画素に設けられるEL素子の駆動を制御するために電位が与えら

れる配線に、実際に画像を表示するのに必要な高さの電位が与えられている状態を、該画素が選択状態にある（該画素が選択される）と呼ぶ。

【0020】そして、各画素が選択されているときに、導電膜に流れる電流を測定する。そして、測定した電流の値がある所定の範囲内に納まっているかどうかで、各画素が有する配線およびTFTに不具合が生じていないかどうかを判断することができる。

【0021】例えば、ある画素が選択されているときに導電膜に流れる電流が所定の範囲からはずれてた場合、該画素が有するTFTがスイッチング素子として機能していなかったり、配線が断線またはショートするなどの不具合が生じていると判断することができる。逆にある画素が選択されているときに導電膜に流れる電流が所定の範囲に納まっている場合、該画素が有するTFTおよび配線は正常に機能しているものとみなすことができる。

【0022】なお、TFTおよび配線が正常に機能しているとみなすことができる電流値の範囲は、実施者が適宜設定することができる。また検査した結果、不具合が生じている画素（不良画素）の数が1つのELパネルにn個以上存在している場合、該パネルは不良品とみなされる。なお不良品とみなす不良画素の数nは、実施者が適宜設定することができる。

【0023】また第1の検査方法では、検査終了後、該導電膜をパターンニングすることで画素電極を形成することができる。よって検査のために工程数を増やす必要がない。

【0024】またさらに、本発明の第1の検査方法は液晶ディスプレイにも適用することができる。液晶ディスプレイの場合、液晶パネルの画素部において配線およびTFTが形成された後、画素電極となる導電性を有する導電膜を画素部全体に形成する。この場合、画素部の配線およびTFTが導電膜によって全てショートすることがないように、該導電膜を、間に層間絶縁膜を挟んで配線またはTFT上に形成することが必要である。

【0025】なお本明細書において、画素部を有するパネルを表示パネルと呼び、ELパネルと液晶パネルは表示パネルに含まれる。

【0026】そして画素が有する配線に、実際に表示を行うのに必要な高さの電位を与え、全ての画素を順に選択していく。なお液晶パネルの場合、画素が有する配線とは、各画素の画素電極と対向電極の間に設けられる液晶を駆動させるために電位が与えられる配線を意味する。

【0027】各画素が選択されているときに、画素電極または画素電極となる導電膜に流れる電流の値を測定する。そして、測定した電流の値がある一定の範囲内に納まっているかどうかで、各画素が有する配線およびTFTに不具合が生じていないかどうかを判断することがで

10

20

30

40

50

きる。

【0028】検査終了後、液晶パネルと、対向電極を有する対向基板との間に液晶を封入して液晶ディスプレイを完成させる。上記構成によって、液晶ディスプレイを完成させる前に画素部に不具合が生じていないかどうかを検査することが可能になる。よって液晶を封入する工程と、封入した後にコネクタを取り付ける工程とを省略することができ、時間とコストを抑えることができる。また対向電極を有する対向基板を無駄にすることがなくなる。

【0029】本発明で開示するELパネルの第2の検査方法では、画素部において配線、TFTおよびEL素子の画素電極が形成された後、検査用として用いる導電性を有する膜（検査用導電膜）により、検査しようとする全ての画素の画素電極を電気的に接続する。

【0030】そして各画素が有する配線に、実際に画像を表示するのに必要な高さの電位を与える。

【0031】そして、各画素が選択されているときに、検査用導電膜に流れる電流を測定する。そして、測定した電流の値がある所定の範囲内に納まっているかどうかで、各画素が有する配線およびTFTに不具合が生じていないかどうかを判断することができる。

【0032】例えば、ある画素が選択されているときに検査用導電膜に流れる電流が所定の範囲からはずれた場合、該画素が有するTFTがスイッチング素子として機能していなかったり、配線が断線またはショートするなどの不具合が生じていると判断することができる。逆にある画素が選択されているときに検査用導電膜に流れる電流が所定の範囲に納まっている場合、該画素が有するTFTおよび配線は正常に機能しているものとみなすことができる。

【0033】なお、TFTおよび配線が正常に機能しているとみなすことができる電流値の範囲は、実施者が適宜設定することができる。また検査した結果、不具合が生じている画素（不良画素）の数が1つのELパネルにn個以上存在している場合、該ELパネルは不良品とみなされる。なお不良品とみなす不良画素の数nは、実施者が適宜設定することができる。

【0034】検査終了後、該検査用導電膜は除去される。

【0035】本発明の検査方法によって、ELパネルをELディスプレイとして完成させなくとも、ELパネルが良品か不良品かの区別をつけることが可能になる。よって、実際には製品にならない不良品のELパネルをELディスプレイとして完成させる必要がなくなる。そのため、不良品のELパネルについて、EL素子を形成する工程と、パッケージングする工程と、コネクタを取り付ける工程とを省くことができ、時間とコストを抑えることができる。また多面取りの基板を用いてELパネルを形成する場合でも、パッケージングする工程と、コ

ネクタを取り付ける工程とを省くことができ、同様に時間とコストを抑えることができる。

【0036】なお本発明の検査方法は、各画素にEL素子の発光を制御するためのTFTが複数設けられているELパネルにのみ適用できるわけではない。各画素にEL素子の発光を制御するためのTFTが1つしかないELパネルの場合でも、本発明の検査方法を用いることによって、良品と不良品の区別をつけることが可能である。

10 【0037】またさらに、本発明の第2の検査方法は液晶ディスプレイにも適用することができる。液晶ディスプレイの場合、液晶パネルの画素部において配線、画素電極およびTFTが形成された後、導電性を有する検査用導電膜によって検査する画素の画素電極を全て電気的に接続する。

【0038】そして画素が有する配線に、実際に表示を行うのに必要な高さの電位を与え、全ての画素を順に選択していく。なお液晶パネルの場合、画素が有する配線とは、各画素の画素電極と対向電極の間に設けられる液晶を駆動させるために電位が与えられる配線を意味する。

【0039】各画素が選択されているときに、画素電極または検査用導電膜に流れる電流の値を測定する。そして、測定した電流の値がある一定の範囲内に納まっているかどうかで、各画素が有する配線およびTFTに不具合が生じていないかどうかを判断することができる。

【0040】検査終了後、液晶パネルと、対向電極を有する対向基板との間に液晶を封入して液晶ディスプレイを完成させる。上記構成によって、液晶ディスプレイを完成させる前に画素部に不具合が生じていないかどうかを検査することが可能になる。よって液晶を封入する工程と、封入した後にコネクタを取り付ける工程とを省略することができ、時間とコストを抑えることができる。また対向電極を有する対向基板を無駄にすることがなくなる。

【0041】

【発明の実施の形態】本発明のELパネルの第1の検査方法について、図1を用いて詳しく説明する。図1は検査時におけるELパネルの上面図であり、ソース信号線駆動回路101、ゲート信号線駆動回路102、画素部103が図に示すように設けられている。画素部103において、ソース信号線とゲート信号線と電源供給線とを1つずつ含む領域が画素104である。画素部103上には導電膜105が形成されている。

【0042】なお導電膜105は画素電極を形成するための膜である。導電膜105は画素部103に設けられたソース信号線、ゲート信号線および電源供給線とショートしないようにすることが必要であり、本実施の形態では導電膜105を画素部103上に形成された層間絶縁膜（図示せず）上に形成している。

【0043】外部接続配線107は、コネクタを介してELパネルの外部からの信号をソース信号線駆動回路101またはゲート信号線駆動回路102に入力するための配線である。

【0044】導電膜105は、測定用配線106を介してELパネルの外部の電流計に接続される。測定用配線106は、導電性を有する材料を用いて形成されていれば良い。導電膜105を流れる電流は、測定点 (Prove Point) において測定されることになる。

【0045】次に、本発明のELパネルの第2の検査方法について、図2を用いて詳しく説明する。図2は検査時におけるELパネルの上面図であり、ソース信号線駆動回路111、ゲート信号線駆動回路112、画素部113が図に示すように設けられている。画素部113において、ソース信号線とゲート信号線と電源供給線とを1つずつ含む領域が画素114である。画素部113上には検査用導電膜115が形成されている。

【0046】なお検査用導電膜115は全ての画素114が有する画素電極を電氣的に接続するための膜である。検査用導電膜115は画素部113に設けられたソース信号線、ゲート信号線および電源供給線とショートしないように形成することが必要である。

【0047】検査用導電膜115に用いられる材料は、導電性を有し、検査後に検査用導電膜115のみを除去することができるものであることが重要である。検査用導電膜に用いられる材料として、導電性を有する合成樹脂、または導電性物質と合成樹脂とを混合したものを用いることができる。前者としては例えばポリアセチレン、ポリビニルカルバゾール等が挙げられる。後者としては、ポリイミド、アクリル、ポリイミドアミド、BCB (ベンゾシクロブテン)、ポリエチレン、ポリスチレン、ポリ塩化ビニル、ポリアミド等の合成樹脂に、Au、Ag、Cu、Ni、カーボンブラック、黒鉛などの導電性粉末または箔、金属繊維、炭素繊維などの導電性繊維を多量に配合した、等方導電性のものを用いることが可能である。また導電性を有する合成樹脂に金属塩を添加したものを用いても良い。

【0048】また画素電極を腐食させることなくウェットエッチングにより除去することが可能な材料であれば、金属を検査用導電膜に用いても良い。

【0049】また、画素電極に結晶化されたITOを用いた場合、検査用導電膜としてアモルファスのITOを用いることも可能である。結晶化されたITOはウェットエッチングされないことから、検査終了後、ウェットエッチによって検査用導電膜であるアモルファスのITOのみを除去することができる。

【0050】外部接続配線117は、コネクタを介してELパネルの外部からの信号をソース信号線駆動回路111またはゲート信号線駆動回路112に入力するための配線である。

【0051】検査用導電膜115は、測定用配線116を介してELパネルの外部の電流計に接続される。測定用配線116は、導電性を有する材料を用いて形成されていれば良い。検査用導電膜115を流れる電流は、測定点 (Prove Point) において測定されることになる。

【0052】図3に、図1に示した画素部103の回路図を示す。なお、図2に示した画素部113も、回路図では画素部103と同じなので、図3を参照することができる。ゲート信号線G1~Gyのいずれか1つと、ソース信号線S1~Sxのいずれか1つと、電源供給線V1~Vxのいずれか1つとを有する領域が画素104 (または画素114) である。画素部103 (または画素部113) にはマトリクス状に複数の画素104が配置されている。

【0053】ゲート信号線駆動回路102 (または112) からの選択信号が入力されるゲート信号線 (G1~Gy) は、各画素が有するスイッチング用TFT201のゲート電極に接続されている。また各画素の有するスイッチング用TFT201のソース領域とドレイン領域は、一方がソース信号線S1~Sxに、もう一方が各画素が有するEL駆動用TFT202のゲート電極及び各画素が有するコンデンサ203にそれぞれ接続されている。ソース信号線S1~Sxには、ソース信号線駆動回路101 (または111) から出力されるアナログのビデオ信号が入力される。

【0054】コンデンサ203はスイッチング用TFT201がオフの時、EL駆動用TFT202のゲート電圧 (ゲート電極とソース領域間の電位差) を保持するために設けられている。なお本実施の形態ではコンデンサ203を設ける構成を示したが、本発明はこの構成に限定されず、コンデンサ203を設けない構成であっても良い。

【0055】各画素が有するEL駆動用TFT202のソース領域は電源供給線V1~Vxに接続されている。本明細書では、電源供給線V1~Vxの電位を電源電位と呼ぶ。電源電位は、ELパネルの外付けのIC等により設けられた電源によって与えられる。また電源供給線V1~Vxは、各画素が有するコンデンサ203に接続されている。そして画素104 (または画素114) が有するEL駆動用TFT202のドレイン領域は、導電膜105 (図2に示した画素の場合検査用導電膜115) によって全て電氣的に接続されている。導電膜105 (図2に示した画素の場合検査用導電膜115) に流れる電流が、Prove Pointにおいて測定される。

【0056】以下に、第1と第2の検査方法の、Prove Pointにおける電流の測定手順について、図4を用いて説明する。

【0057】図4 (A) は、図3で示した画素部103 (または画素部113) における画素104 (または画素114) の配置を、簡略的に示したものである。括弧

内の数字は、左が該画素が有するソース信号線の番号を示し、右が該画素が有するゲート信号線の番号を示している。例えば (x, y) は、ソース信号線 S_x とゲート信号線 G_y とを有する画素を意味する。

【0058】まず、電源供給線 V₁ ~ V_x の電源電位は、実際に表示を行うときと同じ高さの電位に保たれる。具体的には、ELディスプレイが完成して表示を行う際、EL素子の画素電極に電源電位が与えられたときにEL素子が発光する程度に、対向電極との間に電位差を有する高さに保たれる。なお対向電極とは、EL素子が有する2つの電極のうち、画素電極ではないほうの電極を意味する。

【0059】そしてゲート信号線駆動回路102（または112）からゲート信号線G₁に選択信号が入力される。選択信号は、ゲート信号線G₁にゲート電極が接続されているスイッチング用TFT201を、理想的には全てオンにするような高さの電位を有している。

【0060】なお、本明細書では、TFTのソース領域またはドレイン領域のうち、いずれか一方に所定の電位を与えることで、もう一方に所望する電位を与えることができる状態のことを、該TFTがオンであると定義する。逆に、TFTのソース領域またはドレイン領域のうち、いずれか一方に所定の電位を与えても、もう一方に所望する電位を与えることができない状態のことを、該TFTがオフであると定義する。

【0061】次にソース信号線駆動回路101（または111）からソース信号線S₁に検査用のビデオ信号が入力される。検査用のビデオ信号の電位は、実際にELディスプレイが表示を行う際に、一番明るい表示を行うときにソース信号線S₁ ~ S_xに入力されるビデオ信号の電位と同じ高さに設定されている。またデジタルのビデオ信号を用いて表示を行うELディスプレイの場合、検査用のビデオ信号の電位は、実際の表示と同じ明るさでEL素子が発光するような高さであれば良い。

【0062】このように、画素(1, 1)が画像を表示するのに必要な信号線（表示に携わる信号線）（図3の場合ソース信号線S₁、ゲート信号線G₁、電源供給線V₁）に、該画素が実際に表示を行うときと同じ高さの電位が与えられる。そしてこの画素(1, 1)の表示に携わる信号線に、該画素が実際に表示を行うときと同じ高さの電位が与えられており、画素(1, 1)が選択されていることになる。

【0063】図3の場合具体的には、電源供給線V₁の電源電位が実際に表示を行うときと同じ高さの電位に保たれ、ゲート信号線G₁に選択信号が入力され、かつソース信号線S₁に検査用のビデオ信号が入力されている状態を、画素(1, 1)が選択されていると呼ぶ。

【0064】画素(1, 1)が選択されると、電源供給線V₁の電源電位は導電膜105または検査用導電膜115に与えられ、Prove Pointにおいて電流値が測定さ

れる。

【0065】そして順に全ての画素104が選択され、Prove Pointにおいて電流値が測定される。

【0066】各画素104が有するTFT（図3の場合スイッチング用TFT201とEL駆動用TFT202）のいずれか1つが正常に機能していなかったり、ソース信号線S（S₁ ~ S_xのいずれか1つ）、ゲート信号線G（G₁ ~ G_yのいずれか1つ）、電源供給線V（V₁ ~ V_xのいずれか1つ）や、その他TFT同士を接続する配線が断線またはショートしていると、Prove Pointにおける電流の測定値は理想とする値にはならない。

【0067】Prove Pointにおける電流の測定値が理想とする値かどうかの判断基準は、実施者が適宜設定することができる。例えば、図4（B）に示した画素(1, 1)、(1, 2)等のように、電流の測定値が i_1 から i_2 の範囲内に納まっていれば、測定値が理想とする値であると判断することができる。 i_1 と i_2 の値は、実施者が適宜設定することができる。なお図4（B）において×印は該画素を選択したときのProve Pointの電流の測定値を示す。

【0068】測定値が理想とする値であれば、該画素において配線およびTFTに不具合が生じておらず、該画素に形成するEL素子の画素電極に所定の電圧を印加することができる判断される。

【0069】また例えば図4（B）に示した画素(1, 3)や画素(x-1, y)のように、電流の測定値が i_1 から i_2 の範囲からはずれている場合、測定値が理想とする値ではないと判断することができる。よって該画素において配線およびTFTに不具合が生じており、該画素に形成するEL素子の画素電極に所定の電圧を印加することができないと判断される。

【0070】不具合が生じていると判断された画素（不良画素）を有するELパネルは、ELディスプレイに用いられるかどうか判断される。画素部103または画素部113に不良画素が1つでも存在するELパネルは不良品としてELディスプレイに用いないとしても良いし、実施者が決めた以上の数の不良画素が存在するELパネルを不良品としてELディスプレイに用いないようにしても良い。

【0071】第1の検査方法において、1つの基板から1つのELパネルが形成される場合、良品と判断されたELパネルは、検査終了後、導電膜105をバターニングすることによって画素電極（図示せず）が形成される。そしてその後EL層と対向電極が画素電極上に順に積層して形成され、EL素子204が完成する。また不良品と判断されたELパネルは、検査終了後の工程を省略することができる。（図5）

【0072】1つの基板から複数のELパネルが形成される場合、検査終了後、全てのELパネルについて導電

膜 105 がパターニングされ、画素電極（図示せず）が形成される。そしてその後 EL 層と対向電極を画素電極上に順に積層して形成し、EL 素子 204 が完成する。そして基板を切断することによって複数の EL パネルを分離し、良品と判断された EL パネルはカバー材によって封止した後コネクタを接続することによって EL ディスプレイとして完成し、不良品と判断された EL パネルは切断後の工程を省略することができる。

【0073】第 1 の検査方法では、検査終了後、該導電膜をパターニングすることで、画素電極を形成することができ、そのため検査のために工程数を増やす必要がない。

【0074】第 2 の検査方法において、1 つの基板から 1 つの EL パネルが形成される場合、良品と判断された EL パネルは、検査終了後、検査用導電膜 115 は溶剤によって除去される。溶剤は、検査用導電膜 115 に用いられている合成樹脂のみを溶解することができるものを用いる。

【0075】そしてその後 EL 層と対向電極が画素電極上に順に積層して形成され、EL 素子 204 が完成する。また不良品と判断された EL パネルは、検査終了後の工程を省略することができる。（図 5）

【0076】1 つの基板から複数の EL パネルが形成される場合、検査終了後、全ての EL パネルについて検査用導電膜 115 が除去される。そしてその後 EL 層と対向電極を画素電極上に順に積層して形成し、EL 素子 204 が完成する。そして基板を切断することによって複数の EL パネルを分離し、良品と判断された EL パネルはカバー材によって封止した後コネクタを接続することによって EL ディスプレイとして完成し、不良品と判断された EL パネルは切断後の工程を省略することができる。

【0077】EL 素子 204 の対向電極の電位（対向電位）は、EL パネルの外付けの IC 等により設けられた電源によって与えられる。

【0078】EL 素子 204 が形成された後、EL 素子 204 を覆うように保護膜（図示せず）を形成して、EL パネルを完成させても良い。なお保護膜は必ずしも設けなくとも良く、その場合 EL 素子 204 が形成されたら EL パネルが完成したものとなす。

【0079】上述した本発明の検査方法によって、EL パネルを EL ディスプレイとして完成させなくても、EL パネルが良品か不良品かの区別をつけることが可能になる。そのため、実際には製品にならない不良品の EL パネルを EL ディスプレイとして完成させる必要がなくなる。よって EL 素子を形成する工程と、パッケージング（封止）する工程と、コネクタを取り付ける工程とを省くことができ、時間とコストを抑えることができる。また多面取りの基板を用いて EL パネルを形成する場合でも、パッケージングする工程と、コネクタを取

り付ける工程とを省くことができ、同様に時間とコストを抑えることができる。

【0080】なお本発明の検査方法は、各画素に EL 素子の発光を制御するための TFT が複数設けられている EL パネルにのみ適用できるわけではない。各画素に EL 素子の発光を制御するための TFT が 1 つしかない EL パネルの場合でも、本発明の検査方法を用いることによって、良品と不良品の区別をつけることが可能である。また、各画素に EL 素子の発光を制御するための TFT が 2 つ以上設けられた EL パネルの場合でも、本発明の検査方法を用いることによって、良品と不良品の区別をつけることが可能である。

【0081】なお図 3、図 5 に示した EL パネルにおいて、スイッチング用 TFT 201 と EL 駆動用 TFT 202 は、n チャネル型 TFT でも p チャネル型 TFT でもどちらでも構わない。EL 素子 204 の陽極が EL 駆動用 TFT 202 のドレイン領域と接続している場合、EL 素子 204 の陽極が画素電極、陰極が対向電極となり、EL 駆動用 TFT 202 は p チャネル型 TFT を用いるのが好ましい。逆に EL 素子 204 の陰極が EL 駆動用 TFT 202 のドレイン領域と接続している場合、EL 素子 204 の陽極が対向電極、陰極が画素電極となり、EL 駆動用 TFT 202 は n チャネル型 TFT を用いるのが好ましい。

【0082】またスイッチング用 TFT 201、EL 駆動用 TFT 202 は、シングルゲート構造ではなく、ダブルゲート構造、やトリプルゲート構造などのマルチゲート構造を有していても良い。

【0083】

【実施例】以下に、本発明の実施例について説明する。

【0084】（実施例 1）本実施例では、実施の形態で示した EL パネルとは異なる構成の画素部を有する EL パネルについて、本発明の検査方法を適用する例について説明する。

【0085】本実施例で用いる EL パネルの画素部 501 の回路図を図 6 に示す。本実施例において、第 1 のゲート信号線 Ga1～Gay のいずれか 1 つと、第 2 のゲート信号線 Ge1～Gey のいずれか 1 つと、ソース信号線 S1～Sx のいずれか 1 つと、電源供給線 V1～Vx のいずれか 1 つとを有する領域が画素 502 である。画素部 501 にはマトリクス状に複数の画素 502 が配置されている。

【0086】第 1 のゲート信号線駆動回路からの第 1 の選択信号が入力される第 1 のゲート信号線 Ga1～Gay のいずれか 1 つは、各画素 502 が有する第 1 のスイッチング用 TFT 503 のゲート電極に接続されている。また各画素の有する第 1 のスイッチング用 TFT 503 のソース領域とドレイン領域は、一方がアナログのビデオ信号を入力するソース信号線 S1～Sx のいずれか 1 つに、もう一方が各画素が有する EL 駆動用 TFT

504のゲート電極及び各画素が有するコンデンサ505にそれぞれ接続されている。

【0087】コンデンサ505は第1のスイッチング用TFT503がオフの時、EL駆動用TFT504のゲート電圧（ゲート電極とソース領域間の電位差）を保持するために設けられている。なお本実施例ではコンデンサ505を設ける構成を示したが、本発明はこの構成に限定されず、コンデンサ505を設けない構成にしても良い。

【0088】EL駆動用TFT504のソース領域は電源供給線V1～Vxのいずれか1つに接続されている。そして第1の検査方法では、EL駆動用TFT504のドレイン領域はEL素子の画素電極となる導電膜（図示せず）によって、全て電氣的に接続されている。電源供給線V1～Vxのいずれか1つはコンデンサ505に接続されている。そして第2の検査方法では、EL駆動用TFT504のドレイン領域は、EL素子の画素電極に接続されており、全ての画素の画素電極は検査用導電膜（図示せず）によって電氣的に接続されている。電源供給線V1～Vxのいずれか1つはコンデンサ505に接続されている。

【0089】また第2のスイッチング用TFT506のソース領域とドレイン領域のうち、第1のスイッチング用TFT503のソース領域またはドレイン領域に接続されていない方は、電源供給線V1～Vxのいずれか1つに接続されている。そして第2のスイッチング用TFT506のゲート電極は、第2のゲート信号線駆動回路からの第2の選択信号が入力される第2のゲート信号線Ge1～Geyのいずれか1つに接続されている。

【0090】電源供給線V1～Vxの電源電位は、ELパネルの外付けのIC等により設けられた電源によって与えられる。また電源供給線V1～Vxは、各画素が有するコンデンサ505に接続されている。

【0091】導電膜または検査用導電膜に流れる電流をProve Pointにおいて測定する。以下にProve Pointにおける測定の手順について、図7を用いて説明する。

【0092】図7は、図6で示した画素部501における画素502の配置を、簡略的に示したものである。括弧内の数字は、左が該画素が有するソース信号線の番号を示し、右が該画素が有する第1のゲート信号線および第2のゲート信号線の番号を示している。例えば(x, y)は、ソース信号線Sxと第1のゲート信号線Gayおよび第2のゲート信号線Geyとを有する画素を意味する。

【0093】図6に示した画素部501を有するELパネルの場合、第1のゲート信号線に第1の選択信号が入力されているときと、第2のゲート信号線に第2の選択信号が入力されているときと、各画素につき2回づつ測定を行う必要がある。

【0094】まず、電源供給線V1～Vxの電源電位は

実際に表示を行うときと同じ高さの電位に保たれる。具体的には、ELディスプレイが完成して表示を行う際、EL素子の画素電極に電源電位が与えられたときにEL素子が発光する程度に、対向電極との間に電位差を有する高さに保たれる。

【0095】そして第1のゲート信号線駆動回路から第1のゲート信号線Ga1に第1の選択信号が入力される。第1の選択信号は、第1のゲート信号線Ga1にゲート電極が接続されている第1のスイッチング用TFT503を、理想的には全てオンにするような高さの電位を有している。

【0096】次にソース信号線駆動回路からソース信号線S1に検査用のビデオ信号が入力される。検査用のビデオ信号の電位は、実際にELディスプレイが表示を行う際に、一番明るい表示を行うときにソース信号線S1～Sxに入力されるビデオ信号の電位と同じ高さに設定されている。またデジタルのビデオ信号を用いて表示を行うELディスプレイの場合、検査用のビデオ信号の電位は、実際の表示と同じ明るさでEL素子が発光するような高さであれば良い。

【0097】このように、画素(1, 1)の表示に携わる信号線（図6の場合ソース信号線S1、第1のゲート信号線Ga1、電源供給線V1）には、該画素が実際に表示を行うときと同じ高さの電位が与えられており、該画素が選択されていることになる。図6の場合具体的には、電源供給線V1の電源電位が実際に表示を行うときと同じ高さの電位に保たれ、第1のゲート信号線Ga1に第1の選択信号が入力され、かつソース信号線S1に検査用のビデオ信号が入力されている状態を、画素(1, 1)が選択されていると呼ぶ。

【0098】画素(1, 1)が選択されると、電源供給線V1の電源電位は導電膜または検査用導電膜に与えられるため、Prove Pointにおいて電流値が測定される。

【0099】そして順に全ての画素502が選択され、Prove Pointにおいて電流値が測定される。

【0100】次に、再び画素(1, 1)を選択する。そして、電源供給線V1～Vxの電源電位を実際に表示を行うときと同じ高さに保ったまま、第2のゲート信号線駆動回路から第2のゲート信号線Ge1に第2の選択信号を入力する。

【0101】第2の選択信号は、第2のゲート信号線Ge1にゲート電極が接続されている第2のスイッチング用TFT506を、理想的には全てオンにするような高さの電位を有している。

【0102】図6に示した画素部501の場合、第2のスイッチング用TFT506がオンになると、画素(1, 1)、(2, 1)、…、(x, 1)が有するEL駆動用TFT504が全てオフになり、理想的には導電膜または検査用導電膜に電流が流れなくなる。

【0103】このように、画素(1, 1)を選択した後

に、画素 (1, 1) が表示を行わなくなるような電位を、画素 (1, 1) の表示に携わる信号線 (図 6 の場合、第 2 のゲート信号線 Ge1、電源供給線 V1) に与える。この状態を、本明細書では該画素が非選択状態にあると呼ぶ。図 6 の場合、具体的には、電源供給線 V1 の電源電位が実際に表示を行うときと同じ高さの電位に保ち、かつ第 2 のゲート信号線 Ge1 に第 2 の選択信号が入力されている状態を、画素 (1, 1) が非選択状態にあると呼ぶ。

【0104】そして画素 (1, 1) を非選択状態にし、10 Prove Pointにおいて電流値を測定する。

【0105】同様に、全ての画素 502 を選択状態にした後に非選択状態にし、Prove Pointにおいて電流値を測定する。

【0106】各画素 502 が有する TFT のうち (図 6 の場合第 1 のスイッチング用 TFT 503 と、第 2 のスイッチング用 TFT 506 と、EL 駆動用 TFT 202) のいずれか 1 つが正常に機能していなかったり、ソース信号線 S (S1 ~ Sx のいずれか 1 つ)、第 1 のゲート信号線 Ga (Ga1 ~ Gay のいずれか 1 つ)、第 20 2 のゲート信号線 Ge (Ge1 ~ Ge y のいずれか 1 つ)、電源供給線 V (V1 ~ Vx のいずれか 1 つ) や、その他の配線が断線またはショートしていると、Prove Pointにおける電流の測定値は理想とする値にはならない。

【0107】画素が非選択状態のときの Prove Point における電流の測定値が理想とする値かどうかの判断基準は、実施者が適宜設定することができる。例えば、電流の測定値が i_s から i_t の範囲内に納まっていれば、測定値が理想とする値であると判断することができる。 i_s 30 と i_t の値は、実施者が適宜設定することができる。

【0108】測定値が理想とする値であれば、該画素において配線および TFT に不具合が生じておらず、該画素に形成する EL 素子の画素電極に所定の電圧を印加することができる と判断される。

【0109】また例えば電流の測定値が i_s から i_t の範囲からはずれている場合、測定値が理想とする値ではないと判断することができる。よって該画素において配線および TFT に不具合が生じており、該画素に形成する EL 素子の画素電極に所定の電圧を印加することができ 40 ないと判断される。

【0110】不具合が生じていると判断された画素 (不良画素) を有する EL パネルは、EL ディスプレイに用いるかどうか判断される。この場合、画素部 501 に不良画素が 1 つでも存在する EL パネルは、不良品として EL ディスプレイに用いないとしても良いし、実施者が決めた以上の数の不良画素が存在する EL パネルは、不良品として EL ディスプレイに用いないとしても良い。

【0111】第 1 の検査方法では、1 つの基板から 1 つの EL パネルが形成される場合、良品と判断された EL 50

パネルは、検査終了後、導電膜をパターニングすることによって画素電極 (図示せず) が形成される。そしてその後 EL 層と対向電極が画素電極上に順に積層して形成され、EL 素子 507 が完成する。また不良品と判断された EL パネルは、検査終了後の工程を省略することができる。(図 8)

【0112】1 つの基板から複数の EL パネルが形成される場合、検査終了後、全ての EL パネルについて導電膜がパターニングされ、画素電極 (図示せず) が形成される。そしてその後 EL 層と対向電極を画素電極上に順に積層して形成し、EL 素子 507 が完成する。そして基板を切断することによって複数の EL パネルを分離し、良品と判断された EL パネルはカバー材によって封止した後コネクタを接続することによって EL ディスプレイとして完成し、不良品と判断された EL パネルは切断後の工程を省略することができる。

【0113】また第 1 の検査方法の場合、検査終了後、該導電膜をパターニングすることで、画素電極を形成することができる。そのため検査のために工程数を増やす必要がない。

【0114】第 2 の検査方法では、1 つの基板から 1 つの EL パネルが形成される場合、良品と判断された EL パネルは、検査終了後、検査用導電膜が除去される。そしてその後 EL 層と対向電極が画素電極上に順に積層して形成され、EL 素子 507 が完成する。また不良品と判断された EL パネルは、検査終了後の工程を省略することができる。(図 8)

【0115】1 つの基板から複数の EL パネルが形成される場合、検査終了後、全ての EL パネルについて検査用導電膜が除去される。そしてその後 EL 層と対向電極を画素電極上に順に積層して形成し、EL 素子 507 が完成する。そして基板を切断することによって複数の EL パネルを分離し、良品と判断された EL パネルはカバー材によって封止した後コネクタを接続することによって EL ディスプレイとして完成し、不良品と判断された EL パネルは切断後の工程を省略することができる。

【0116】EL 素子 507 の対向電極の電位 (対向電位) は、EL パネルの外付けの IC 等により設けられた電源によって与えられる。

【0117】EL 素子 507 が形成された後、EL 素子 507 を覆うように保護膜 (図示せず) が形成され、EL パネルが完成する。なお保護膜は必ずしも設けなくとも良く、その場合 EL 素子 507 が形成されたら EL パネルが完成する。

【0118】上述した本発明の検査方法によって、EL パネルを EL ディスプレイとして完成させなくとも、EL パネルが良品か不良品かの区別をつけることが可能になる。よって、実際には製品にならない不良品の EL パネルを EL ディスプレイとして完成させる必要がなくなる。そのため EL 素子を形成する工程と、パッケージン

グする工程と、コネクタを取り付ける工程とを省くことができ、時間とコストを抑えることができる。また多面取りの基板を用いて EL パネルを形成する場合でも、パッケージングする工程と、コネクタを取り付ける工程とを省くことができ、同様に時間とコストを抑えることができる。

【0119】なお本発明の検査方法は、各画素に EL 素子の発光を制御するための TFT が複数設けられている EL パネルにのみ適用できるわけではない。各画素に EL 素子の発光を制御するための TFT が 1 つしかない EL パネルの場合でも、本発明の検査方法を用いることによって、良品と不良品の区別をつけることが可能である。また、各画素に EL 素子の発光を制御するための TFT が 4 つ以上設けられた EL パネルの場合でも、本発明の検査方法を用いることによって、良品と不良品の区別をつけることが可能である。

【0120】なお図 6～図 8 に示した EL パネルにおいて、第 1 のスイッチング用 TFT 503 と第 2 のスイッチング用 TFT 506 と EL 駆動用 TFT 504 は、n チャネル型 TFT でも p チャネル型 TFT でもどちらでも構わない。EL 素子 507 の陽極が EL 駆動用 TFT 504 のドレイン領域と接続している場合、EL 素子 507 の陽極が画素電極、陰極が対向電極となり、EL 駆動用 TFT 504 は p チャネル型 TFT を用いるのが好ましい。逆に EL 素子 507 の陰極が EL 駆動用 TFT 504 のドレイン領域と接続している場合、EL 素子 507 の陽極が対向電極、陰極が画素電極となり、EL 駆動用 TFT 504 は n チャネル型 TFT を用いるのが好ましい。

【0121】また第 1 のスイッチング用 TFT 503、第 2 のスイッチング用 TFT 506、EL 駆動用 TFT 504 は、シングルゲート構造ではなく、ダブルゲート構造、やトリプルゲート構造などのマルチゲート構造を有していても良い。

【0122】（実施例 2）本実施例では、本発明の検査方法を用いて検査した後の、EL パネルの画素の上面図の一例を示す。

【0123】図 9（A）に本実施例の画素の上面図を、また図 9（B）に画素の回路図を示す。4402 はスイッチング用 TFT であり、4406 は EL 駆動用 TFT である。

【0124】スイッチング用 TFT 4402 は、ゲート信号線 4404 の一部であるゲート電極 4404a、4404b を有している。スイッチング用 TFT 4402 のソース領域はソース信号線 4415 に接続され、ドレイン領域はドレイン配線 4405 に接続される。また、ドレイン配線 4405 は EL 駆動用 TFT 4406 のゲート電極 4407 に電氣的に接続される。また、EL 駆動用 TFT 4406 のソース領域は電源供給線 4416 に電氣的に接続され、ドレインはドレイン配線 4417

に電氣的に接続される。また、ドレイン配線 4417 は画素電極 4418 に電氣的に接続される。

【0125】このとき、4419 で示される領域にはコンデンサが形成される。コンデンサ 4419 は、電源供給線 4416 と電氣的に接続された半導体膜 4420、ゲート絶縁膜と同一層の絶縁膜（図示せず）及びゲート電極 4407 との間で形成される。また、ゲート電極 4407、第 1 層間絶縁膜と同一の層（図示せず）及び電源供給線 4416 で形成される容量もコンデンサとして用いることが可能である。

【0126】本実施例において画素電極はソース信号線 4415 と電源供給線 4416 と重なっていないが、層間絶縁膜を間に介して重なるような構成にしても良い。

【0127】また図示していないが、画素電極 4418 上に EL 層と対向電極とが順に積層して EL 素子 4414 を形成している。

【0128】（実施例 3）本実施例では、図 5 に示した EL パネルにおいて、同一基板上に画素部と、画素部の周辺に設ける駆動回路の TFT（n チャネル型 TFT 及び p チャネル型 TFT）を同時に作製し、なおかつ第 1 の検査方法を用いて検査する方法について詳細に説明する。

【0129】まず、図 10（A）に示すように、コーニング社の #7059 ガラスや #1737 ガラスなどに代表されるバリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどのガラス、または石英基板から成る基板 400 上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜 401 を形成する。例えば、プラズマ CVD 法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜を 10～200nm（好ましくは 50～100nm）形成し、同様に SiH_4 、 N_2O から作製される酸化窒化水素化シリコン膜を 50～200nm（好ましくは 100～150nm）の厚さに積層形成する。なお図 10（A）では下地膜を 1 つの層で示した。本実施例では下地膜 401 を 2 層構造として示したが、前記絶縁膜の単層膜または 2 層以上積層させた構造として形成しても良い。

【0130】半導体層 402～405 は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この半導体層 402～405 の厚さは 25～80nm（好ましくは 30～60nm）の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（SiGe）合金などで形成すると良い。

【0131】公知の結晶化方法としては、電熱炉を使用した熱結晶化方法、レーザー光を用いたレーザーアニール結晶化法、赤外光を用いたランプアニール結晶化法、触媒金属を用いた結晶化法がある。

【0132】レーザー結晶化法で結晶質半導体膜を作製

するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数300Hzとし、レーザーエネルギー密度を100~400mJ/cm² (代表的には200~300mJ/cm²)とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数30~300kHzとし、レーザーエネルギー密度を300~600mJ/cm² (代表的には350~500mJ/cm²)とすると良い。そして幅100~1000μm、例えば400μmで線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を50~90%として行う。

【0133】次いで、半導体層402~405を覆うゲート絶縁膜406を形成する。ゲート絶縁膜406はプラズマCVD法またはスパッタ法を用い、厚さを40~150nmとしてシリコンを含む絶縁膜で形成する。本実施例では、120nmの厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜406はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS (Tetraethyl Orthosilicate) とO₂とを混合し、反応圧力40Pa、基板温度300~400℃とし、高周波(13.56MHz)電力密度0.5~0.8W/cm²で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その後400~500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0134】そして、ゲート絶縁膜406上にゲート電極を形成するための第1のゲート電極用導電膜407と第2のゲート電極用導電膜408とを形成する。本実施例では、第1のゲート電極用導電膜407をTaで50~100nmの厚さに形成し、第2のゲート電極用導電膜408をWで100~300nmの厚さに形成する。

【0135】Ta膜はスパッタ法で形成し、TaのターゲットをArでスパッタする。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することができる。また、α相のTa膜の抵抗率は20μΩcm程度でありゲート電極に使用することができるが、β相のTa膜の抵抗率は180μΩcm程度でありゲート電極とするには不向きである。α相のTa膜を形成するために、Taのα相に近い結晶構造をもつ窒化タンタルを10~50nm程度の厚さでTaの下地に形成しておくα相のTa膜を容易に得ることができる。

【0136】W膜を形成する場合には、Wをターゲット

としたスパッタ法で形成する。その他に6フッ化タングステン(WF₆)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20μΩcm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999%のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~20μΩcmを実現することができる。

【0137】なお、本実施例では、第1のゲート電極用導電膜407をTa、第2のゲート電極用導電膜408をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例は、第1のゲート電極用導電膜を窒化タンタル(TaN)で形成し、第2のゲート電極用導電膜をWとする組み合わせ、第1のゲート電極用導電膜を窒化タンタル(TaN)で形成し、第2のゲート電極用導電膜をAlとする組み合わせ、第1のゲート電極用導電膜を窒化タンタル(TaN)で形成し、第2のゲート電極用導電膜をCuとする組み合わせで形成することが好ましい。(図10(B))

【0138】次に、レジストによるマスク409~412を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスにCF₄とCl₂を混合し、1Paの圧力でコイル型の電極に500WのRF (13.56MHz) 電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100WのRF (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

【0139】なお図10(C)では図示しなかったが、上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。テーパ部の角度は15~45°となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20%程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2~4 (代表的には3) であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20~50nm程度エッチングされるこ

となる。また図 10 (C) では図示しなかったが、ゲート絶縁膜 406 は、上記エッチングによって第 1 の形状の導電層 414 ~ 417 で覆われない領域が 20 ~ 50 nm 程度エッチングされ薄くなった。

【0140】こうして、第 1 のエッチング処理により第 1 の導電層と第 2 の導電層から成る第 1 の形状の導電層 414 ~ 417 (第 1 の導電層 414 a ~ 417 a と第 2 の導電層 414 b ~ 417 b) を形成する。

【0141】次に、図 10 (D) に示すように第 2 のエッチング処理を行う。同様に ICP エッチング法を用い、エッチングガスに CF_4 と Cl_2 と O_2 を混合して、1 Pa の圧力でコイル型の電極に 500 W の RF 電力 (13.56 MHz) を供給し、プラズマを生成して行う。基板側 (試料ステージ) には 50 W の RF (13.56 MHz) 電力を投入し、第 1 のエッチング処理に比べ低い自己バイアス電圧を印加する。このような条件により W 膜を異方性エッチングし、かつ、それより遅いエッチング速度で第 1 の導電層である Ta を異方性エッチングして第 2 の形状の導電層 419 ~ 422 (第 1 の導電層 419 a ~ 422 a と第 2 の導電層 419 b ~ 422 b) を形成する。また図 10 (D) では図示しなかったが、ゲート絶縁膜 406 は、上記エッチングによって第 2 の形状の導電層 419 ~ 422 で覆われない領域がさらに 20 ~ 50 nm 程度エッチングされ薄くなった。

【0142】W 膜や Ta 膜の CF_4 と Cl_2 の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することができる。W と Ta のフッ化物と塩化物の蒸気圧を比較すると、W のフッ化物である WF_6 が極端に高く、その他の WCl_6 、 TaF_5 、 $TaCl_5$ は同程度である。従って、 CF_4 と Cl_2 の混合ガスでは W 膜及び Ta 膜共にエッチングされる。しかし、この混合ガスに適量の O_2 を添加すると CF_4 と O_2 が反応して CO と F になり、 F ラジカルまたは F イオンが多量に発生する。その結果、フッ化物の蒸気圧が高い W 膜のエッチング速度が増大する。一方、Ta は F が増大しても相対的にエッチング速度の増加は少ない。また、Ta は W に比較して酸化されやすいので、 O_2 を添加することで Ta の表面が酸化される。Ta の酸化物はフッ素や塩素と反応しないためさらに Ta 膜のエッチング速度は低下する。従って、W 膜と Ta 膜とのエッチング速度に差を作ることが可能となり W 膜のエッチング速度を Ta 膜よりも大きくすることが可能となる。

【0143】そして、マスク 409 a ~ マスク 412 a を除去し、図 11 (A) に示すように第 1 のドーピング処理を行い、n 型を付与する不純物元素を添加する。例えば、加速電圧を 70 ~ 120 keV とし、 1×10^{13} / cm^2 のドーズ量で行う。ドーピングは、第 2 の形状の導電層 419 ~ 422 を不純物元素に対するマスクとして用い、第 2 の導電層 419 a ~ 422 a の下側の領域に

も不純物元素が添加されるようにドーピングする。こうして、第 2 の導電層 419 a ~ 422 a と重なる第 1 の不純物領域 425 ~ 428 と、第 1 の不純物領域よりも不純物の濃度が高い第 2 の不純物領域 429 ~ 432 とが形成される。なお本実施例ではマスク 409 a ~ 412 a を除去してから n 型を付与する不純物元素を添加したが、本発明はこれに限定されない。図 11 (A) の工程において n 型を付与する不純物元素を添加してからマスク 409 a ~ マスク 412 a を除去しても良い。

【0144】次に第 2 の導電層 421 a、421 b を覆うように半導体層 404 上にレジストからなるマスク 433 を形成する。マスク 433 はゲート絶縁膜 406 を間に挟んで第 2 の不純物領域 431 と一部重なっている。そして第 2 のドーピング処理を行い n 型を付与する不純物元素を添加する。この場合、第 1 のドーピング処理よりもドーズ量を上げて低い加速電圧の条件として n 型を付与する不純物元素をドーピングする。(図 11 (B)) ドーピングの方法はイオンドープ法若しくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14}$ atoms/ cm^2 とし、加速電圧を 60 ~ 100 keV として行う。n 型を付与する不純物元素として 15 族に属する元素、典型的にはリン (P) または砒素 (As) を用いるが、ここではリン (P) を用いる。この場合、第 2 の形状の導電層 419 ~ 422 が n 型を付与する不純物元素に対するマスクとなり、自己整合的にソース領域 434 ~ 437、ドレイン領域 438 ~ 441、 LoV 領域 442 ~ 445 が形成される。またマスク 433 によって $LoFf$ 領域 446 が形成される。ソース領域 434 ~ 437、ドレイン領域 438 ~ 441 には $1 \times 10^{20} \sim 1 \times 10^{21}$ atomic / cm^3 の濃度範囲で n 型を付与する不純物元素を添加する。

【0145】本実施例はマスク 433 のサイズを制御することで、 $LoFf$ 領域 446 の長さを自由に設定することが可能である。

【0146】なお本明細書において、ゲート絶縁膜を介してゲート電極と重なる LDD 領域を LoV 領域と呼ぶ。またゲート絶縁膜を介してゲート電極と重ならない LDD 領域を $LoFf$ 領域と呼ぶ。

【0147】n 型を付与する不純物元素は、 $LoFf$ 領域で $1 \times 10^{17} \sim 1 \times 10^{18}$ atoms/ cm^3 の濃度となるようにし、 LoV 領域で $1 \times 10^{16} \sim 1 \times 10^{18}$ atoms/ cm^3 の濃度となるようにする。

【0148】なお図 11 (B) において、上述したような条件で n 型を付与する不純物元素をドーピングする前または後に、半導体層 404 上にマスク 433 を形成した状態で加速電圧を 70 ~ 120 keV とし n 型を付与する不純物元素をドーピングしても良い。上記工程によって、スイッチング用 TFT の $LoFf$ 領域となる部分 446 の n 型を付与する不純物元素の濃度を抑えつつ、

駆動回路に用いられる T F T の L o v 領域となる部分 4 4 2、4 4 3 の n 型を付与する不純物元素の濃度を高めることができる。スイッチング用 T F T の L o f f 領域となる部分 4 4 6 の n 型を付与する不純物元素の濃度を抑えることで、スイッチング用 T F T のオフ電流を提言することが可能である。また駆動回路に用いられる n チャネル型 T F T の L o v 領域となる部分 4 4 3 の n 型を付与する不純物元素の濃度を高めることで、ホットキャリア効果による、ドレイン近傍の高電界によって発生したホットキャリアが劣化現象を引き起こすのを防ぐことができる。

【0149】そして、マスク 4 3 3 を除去した後、図 1 1 (C) に示すように、p チャネル型 T F T を形成する半導体層 4 0 2、4 0 5 に一導電型とは逆の導電型のソース領域 4 4 7、4 4 8 と、ドレイン領域 4 4 9、4 5 0 と、L o v 領域 4 5 1、4 5 2 を形成する。第 2 の形状を有する導電層 4 1 9、4 2 2 を不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、n チャネル型 T F T を形成する半導体層 4 0 2、4 0 3 はレジストマスク 4 5 3 で全面を被覆しておく。ソース領域 4 4 7、4 4 8 及びドレイン領域 4 4 9、4 5 0 と、L o v 領域 4 5 1、4 5 2 とにはそれぞれ異なる濃度でリンが添加されているが、ジボラン (B_2H_6) を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度を $2 \times 10^{20} \sim 2 \times 10^{21}$ atoms/cm³ となるようにする。

【0150】以上までの工程でそれぞれの半導体層 4 0 2 ~ 4 0 5 に不純物領域 (ソース領域、ドレイン領域、L o v 領域、L o f f 領域) が形成される。半導体層と重なる第 2 の導電層 4 1 9 ~ 4 2 2 がゲート電極として機能する。

【0151】こうして導電型の制御を目的として、それぞれの半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーンেসアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法 (R T A 法) を適用することができる。熱アニール法では酸素濃度が 1 p p m 以下、好ましくは 0. 1 p p m 以下の窒素雰囲気中で 4 0 0 ~ 7 0 0 °C、代表的には 5 0 0 ~ 6 0 0 °C で行うものであり、本実施例では 5 0 0 °C で 4 時間の熱処理を行う。ただし、4 1 9 ~ 4 2 2 に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜 (シリコンを主成分とする) を形成した後で活性化を行うことが好ましい。

【0152】さらに、3 ~ 1 0 0 % の水素を含む雰囲気中で、3 0 0 ~ 4 5 0 °C で 1 ~ 1 2 時間の熱処理を行い、半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化 (プラズマにより励起された水素を用いる)

を行っても良い。

【0153】次いで、第 1 の層間絶縁膜 4 5 5 は酸化窒化シリコン膜から 1 0 0 ~ 2 0 0 n m の厚さで形成する。(図 1 2 (A)) その上に有機絶縁物材料から成る第 2 の層間絶縁膜 4 5 8 を形成する。

【0154】そして、ゲート絶縁膜 4 0 6、第 1 の層間絶縁膜 4 5 5、第 2 の層間絶縁膜 4 5 8 にコンタクトホールを形成し、該コンタクトホールを介して、ソース領域 4 4 7、4 3 9、4 3 6、4 4 8 と接するようにソース配線 4 5 9 ~ 4 6 2 を形成した。また同様に、ドレイン領域 4 4 9、4 3 5、4 4 0、4 5 0 と接するドレイン配線 4 6 3 ~ 4 6 5 を形成する (図 1 2 (B))。

【0155】なお、ゲート絶縁膜 4 0 6、第 1 の層間絶縁膜 4 5 5、第 2 の層間絶縁膜 4 5 8 が S i O₂ 膜または S i O N 膜の場合、C F₄ と O₂ とを用いたドライエッチングでコンタクトホールを形成するのが好ましい。またゲート絶縁膜 4 0 6、第 1 の層間絶縁膜 4 5 5、第 2 の層間絶縁膜 4 5 8 が有機樹脂膜の場合、C H F₃ を用いたドライエッチング、または B H F (緩衝フッ酸: H F + N H₄ F) でコンタクトホールを形成するのが好ましい。またゲート絶縁膜 4 0 6、第 1 の層間絶縁膜 4 5 5、第 2 の層間絶縁膜 4 5 8 が異なる材料で形成されている場合、膜ごとにエッチングの方法及び用いるエッチャントやエッチングガスの種類を変えることが好ましいが、エッチングの方法及び用いるエッチャントやエッチングガスを全て同じにしてコンタクトホールを形成しても良い。

【0156】次に、有機樹脂からなる第 3 層間絶縁膜 4 6 7 を形成する。有機樹脂としてはポリイミド、ポリアミド、アクリル、B C B (ベンゾシクロブテン) 等を使用することができる。特に、第 3 層間絶縁膜 4 6 7 は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例では T F T によって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは 1 ~ 5 μm (さらに好ましくは 2 ~ 4 μm) とすれば良い。

【0157】次に第 3 層間絶縁膜 4 6 7 に、ドレイン配線 4 6 5 に達するコンタクトホールを形成し、画素部上に画素電極となる導電膜 4 6 6 を形成する (図 1 2

(C))。本実施例ではメタルマスクを用いて画素部上に酸化インジウム・スズ (I T O) 膜を 1 1 0 n m の厚さに形成し、導電膜 4 6 6 とした。また、酸化インジウムに 2 ~ 2 0 % の酸化亜鉛 (Z n O) を混合した材料を導電膜 4 6 6 に用いても良い。また酸化亜鉛 (Z n O) からなる膜でも良いし、酸化スズ (I n₂O₃) からなる膜でも良い。なお本発明において画素電極となる導電膜 4 6 6 は、E L 駆動用 T F T のドレイン領域以外の部分とショートしないようにすることが必要であり、本実施例では第 3 層間絶縁膜 4 6 7 上に形成することで防いでいる。

【0158】図12 (C) の状態で、本発明の第1の検査方法により各画素が選択され、導電膜480を流れる電流の値が測定される。

【0159】測定後、導電膜466をパターニングし画素電極468を形成する。この画素電極468がEL素子の陽極となる。(図13 (A))

【0160】次に、樹脂材料でなる第1バンク469及び第2バンク470を形成する。第1バンク469及び第2バンク470は後に形成されるEL層及び陰極を隣り合う画素間で分離するために設けられる。よって第1バンク469よりも第2バンク470の方が横に張り出している構成にすることが望ましい。なお第1バンク469と第2バンク470とを合わせた厚さは1~2 μm 程度であることが好ましいが、後に形成されるEL層及び陰極を隣り合う画素間で分離することができるならこの厚さに限らない。また第1バンク469及び第2バンク470は絶縁膜で形成されることが必要であり、例えば酸化物、樹脂等で形成することが可能である。そして第1バンク469と第2バンク470は互いに同じ材料で形成されていても、異なる材料で形成されていてもどちらでも良い。第1バンク469及び第2バンク470は画素と画素との間にストライプ状に形成される。第1バンク469及び第2バンク470はソース配線(ソース信号線)上に沿って形成しても良いし、ゲート配線(ゲート信号線)上に沿って形成しても良い。なお第1バンク469及び第2バンク470を樹脂に顔料等を混ぜたもので形成しても良い(図13 (A))。

【0161】次に、EL層471及び陰極(MgAg電極)472を、真空蒸着法を用いて大気解放しないで連続形成する。なお、EL層471の膜厚は800~200nm(典型的には100~120nm)、陰極472の厚さは180~300nm(典型的には200~250nm)とすれば良い。なお、本実施例では一画素しか図示されていないが、このとき同時に赤色に発光するEL層、緑色に発光するEL層及び青色に発光するEL層が形成される。なおバンク470上にEL層と陰極を形成する材料が一部積層されるが、本明細書ではこれらをEL層471と陰極472に含めない。

【0162】この工程では、赤色に対応する画素、緑色に対応する画素及び青色に対応する画素に対して順次EL層471及び陰極472を形成する。但し、EL層471は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的にEL層471及び陰極472を形成するのが好ましい。

【0163】即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光のEL層及び陰極を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマ

スクを用いて緑色発光のEL層及び陰極を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光のEL層及び陰極を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。また、全画素にEL層及び陰極を形成するまで真空を破らずに処理することが好ましい。

【0164】なお、本実施例ではEL層471を発光層のみからなる単層構造とするが、EL層は発光層の他に正孔輸送層、正孔注入層、電子輸送層、電子注入層等を有していても構わない。このように組み合わせは既に様々な例が報告されており、そのいずれの構成を用いても構わない。EL層471としては公知の材料を用いることができる。公知の材料としては、EL駆動電圧を考慮すると有機材料を用いるのが好ましい。また、本実施例ではEL素子の陰極としてMgAg電極を用いた例を示すが、公知の他の材料を用いることが可能である。

【0165】こうして図13 (B) に示すような構造のELパネルが完成する。なお、第1バンク469と第2バンク470を形成した後、陰極472を形成するまでの工程をマルチチャンバー方式(またはインライン方式)の薄膜形成装置を用いて、大気解放せずに連続的に処理することは有効である。

【0166】本実施例において、スイッチング用TF T501の半導体層は、ソース領域504、ドレイン領域505、Loff領域506、Lov領域507、チャネル形成領域508を含んでいる。Loff領域506はゲート絶縁膜406を介してゲート電極421と重ならないように設けられている。またLov領域507はゲート絶縁膜406を介してゲート電極421と重なるように設けられている。このような構造はオフ電流を低減する上で非常に効果的である。

【0167】また、本実施例ではスイッチング用TF T501はシングルゲート構造としているが、本発明ではスイッチング用TF Tはダブルゲート構造やその他のマルチゲート構造を有していても良い。ダブルゲート構造とすることで実質的に二つのTF Tが直列された構造となり、オフ電流をさらに低減することができるという利点がある。

【0168】また本実施例ではスイッチング用TF T501はnチャネル型TF Tであるが、pチャネル型TF Tであってもかまわない。

【0169】EL駆動用TF T502の半導体層は、ソース領域510、ドレイン領域511、Lov領域512、チャネル形成領域513を含んでいる。Lov領域512はゲート絶縁膜406を介してゲート電極422と重なるように設けられている。なお本実施例においてEL駆動用TF T502はLoff領域を有していないが、Loff領域を有する構成にしても良い。

【0170】また本実施例ではEL駆動用TFT502はpチャネル型TFTであるが、nチャネル型TFTであってもかまわない。

【0171】まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有するTFTを、駆動回路部を形成するCMOS回路のnチャネル型TFT503として用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、サンプリング回路（サンプル及びホールド回路）などが含まれる。デジタル駆動を行う場合には、D/Aコンバータなどの信号変換回路も含まれ得る。

【0172】本実施例の場合、CMOS回路のnチャネル型TFT503の半導体層は、ソース領域521、ドレイン領域522、Lov領域523及びチャネル形成領域524を含んでいる。

【0173】また本実施例の場合、CMOS回路のpチャネル型TFT504の半導体層は、ソース領域531、ドレイン領域532、Lov領域533及びチャネル形成領域534を含んでいる。

【0174】なお、実際には図13（B）まで完成したら、さらに外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）や透光性のシーリング材でパッケージング（封入）することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたリ、内部に吸湿性材料（例えば酸化バリウム）を配置したりするとEL素子の信頼性が向上する。

【0175】また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ（フレキシブルプリントサーキット：FPC）を取り付けて製品として完成する。このような出荷できるまでした状態を本明細書中ではEL表示装置（ELディスプレイ）という。

【0176】上述したように本実施例の作製行程では、ゲート電極のチャネル長方向の長さ（以下単にゲート電極の幅と呼ぶ）が異なっているため、ゲート電極をマスクとしてイオン注入を行うことにより、ゲート電極の厚さが異なることによるイオンの侵入深さの違いを利用して、第1のゲート電極の下に位置する半導体層中のイオン濃度を、第1のゲート電極の下に位置しない半導体層中のイオン濃度より低くすることが可能である。

【0177】またマスクを用いてLov領域を形成するために、エッチングで制御しなくてはならないのはLov領域の幅のみであり、Lov領域とLov領域の位置の制御が容易である。

【0178】本発明の第1の検査方法は、本実施例において示したELディスプレイに限定されることはなく、他のあらゆるELディスプレイに用いることが可能である。

【0179】本発明の第1の検査方法は、画素電極となる導電性を有する導電膜を画素部全体に形成し、該導電膜を流れる電流の値を測定することで検査を行うので、検査終了後、該導電膜をパターニングすることで、画素電極を形成することができる。そのため検査のために工程数を増やす必要がない。

【0180】次に本発明の第2の検査方法を用いた場合について説明する。図12（C）の工程までは、第1の検査方法を有する作製方法と同じである。図12（C）の工程が終了したら、画素電極となる画素電極用の導電膜466を形成し、パターニングすることで画素電極468を形成する（図14）。本実施例では酸化インジウム・スズ（ITO）膜を110nmの厚さに形成し、パターニングすることで画素電極468を形成した。また、酸化インジウムに2～20%の酸化亜鉛（ZnO）を混合した材料を画素電極468に用いても良い。また酸化亜鉛（ZnO）からなる膜でも良いし、酸化スズ（In₂O₃）からなる膜でも良い。この画素電極468がEL素子の陽極となる。

【0181】次に画素電極468に接するように、前記第3層間絶縁膜467上に検査用導電膜480を形成する。検査用導電膜480は画素部の全ての画素電極468を電気的に接続する。なお検査用導電膜480は画素部にのみ形成し、ソース信号線駆動回路やゲート信号線駆動回路などを含む駆動部には形成しないことが重要である。本実施例では検査用導電膜480として、ポリアセチレンからなる200μmの厚さの検査用導電膜480を、メタルマスクを用いて形成した。

【0182】なお本発明において検査用導電膜480は、画素電極468以外の配線やTFTとショートしないようにすることが必要であり、本実施例では第3層間絶縁膜467上に形成することで防いでいる。

【0183】図14の状態、本発明の検査方法により各画素が選択され、導電膜467を流れる電流の値が測定される。

【0184】測定後、検査用導電膜480を溶剤で除去する。（図14）

【0185】次に、樹脂材料でなる第1バンク469及び第2バンク470を形成する。この後の工程については、第1の検査方法の場合と同じなので、ここでは説明を省略する。

【0186】なお本実施例ではEL層から発せられる光が基板側に向いている例について説明したが、本発明はこれに限定されず、EL層から発せられる光が基板の上に向いているような構成であっても良い。この場合EL素子の陰極が画素電極となり、EL駆動用TFTはnチャネル型TFTであることが望ましい。

【0187】なお本実施例は実施例1、2と自由に組み合わせることが可能である。

【0188】（実施例4）本実施例では、本発明の検査

方法によって良品と判断されたELパネルを用いて、ELディスプレイを作製した例について説明する。なお、図15(A)は本実施例のELディスプレイの上面図であり、図15(B)はその断面図である。

【0189】図15(A)、(B)において、4001は基板、4002は画素部、4003はソース信号線駆動回路、4004はゲート信号線駆動回路であり、それぞれの駆動回路は配線4005を経てFPC(フレキシブルプリントサーキット)4006に至り、外部機器へと接続される。

【0190】このとき、画素部4002、ソース信号線駆動回路4003及びゲート信号線駆動回路4004を囲むようにして第1シール材4101、カバー材4102、充填材4103及び第2シール材4104が設けられている。

【0191】図15(B)は図15(A)をA-A'で切断した断面図に相当し、基板4001の上にソース信号線駆動回路4003に含まれる駆動TFT(但し、ここではnチャネル型TFTとpチャネル型TFTを図示している。)4201及び画素部4002に含まれるEL駆動用TFT(EL素子への電流を制御するTFT)4202が形成されている。

【0192】本実施例では、駆動TFT4201には公知の方法で作製されたpチャネル型TFTまたはnチャネル型TFTが用いられ、EL駆動用TFT4202には公知の方法で作製されたpチャネル型TFTが用いられる。また、画素部4002にはEL駆動用TFT4202のゲート電極に接続されたコンデンサ(図示せず)が設けられる。

【0193】駆動TFT4201及び画素TFT4202の上には樹脂材料でなる層間絶縁膜(平坦化膜)4301が形成され、その上に画素TFT4202のドレインと電気的に接続する画素電極(陽極)4302が形成される。本実施例では、画素電極4302として仕事関数の大きい導電膜が用いられる。導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記導電膜にガリウムを添加したものを用いても良い。

【0194】そして、画素電極4302の上には絶縁膜4303が形成され、絶縁膜4303は画素電極4302の上に開口部が形成されている。この開口部において、画素電極4302の上にはEL(エレクトロルミネッセンス)層4304が形成される。EL層4304は公知の有機EL材料または無機EL材料を用いることができる。また、有機EL材料には低分子系(モノマー系)材料と高分子系(ポリマー系)材料があるがどちらを用いても良い。

【0195】EL層4304の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、EL層の

構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【0196】EL層4304の上には遮光性を有する導電膜(代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜)からなる陰極4305が形成される。また、陰極4305とEL層4304の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で両者を連続成膜するか、EL層4304を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極4305を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。

【0197】そして陰極4305は4306で示される領域において配線4005に電気的に接続される。配線4005は陰極4305に所定の電圧を与えるための配線であり、異方導電性フィルム4307を介してFPC4006に電気的に接続される。

【0198】以上のようにして、画素電極(陽極)4302、EL層4304及び陰極4305からなるEL素子が形成される。このEL素子は、第1シール材4101及び第1シール材4101によって基板4001に貼り合わされたカバー材4102で囲まれ、充填材4103により封入されている。

【0199】カバー材4102としては、ガラス材、金属材(代表的にはステンレス材)、セラミックス材、プラスチック材(プラスチックフィルムも含む)を用いることができる。プラスチック材としては、FRP(Fiberglass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【0200】但し、EL素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【0201】また、充填材4103としては紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC(ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。この充填材4103の内部に吸湿性物質(好ましくは酸化バリウム)もしくは酸素を吸着する物質を設けておくことでEL素子の劣化を抑制できる。

【0202】また、充填材4103の中にスペーサを含

形成すればスペーサ自体に吸湿性をもたせることが可能である。また、スペーサを設けた場合、スペーサからの圧力を緩和するバッファ層として陰極 4305 上に樹脂膜を設けることも有効である。

【0203】また、配線 4005 は異方導電性フィルム 4307 を介して FPC 4006 に電氣的に接続される。配線 4005 は画素部 4002、ソース信号線駆動回路 4003 及びゲート信号線駆動回路 4004 に送られる信号を FPC 4006 に伝え、FPC 4006 により外部機器と電氣的に接続される。

【0204】また、本実施例では第 1 シール材 4101 の露呈部及び FPC 4006 の一部を覆うように第 2 シール材 4104 を設け、EL 素子を徹底的に外気から遮断する構造となっている。こうして図 15 (B) の断面構造を有する EL ディスプレイとなる。

【0205】(実施例 5) 本実施例では、本発明を実施した EL ディスプレイの画素構造の例を図 16 に示す。なお、本実施例において、4701 はスイッチング用 TFT 4702 のソース配線を含むソース信号線、4703 はスイッチング用 TFT 4702 のゲート電極を含むゲート信号線、4704 は EL 駆動用 TFT、4705 はコンデンサ (省略することも可能)、4710 は電源供給線、4707 は電源制御用 TFT、4709 は電源制御用ゲート配線、4708 は EL 素子とする。電源制御用 TFT 4707 の動作については特願平 11-341272 号を参照すると良い。

【0206】また、本実施例では電源制御用 TFT 4707 を EL 駆動用 TFT 4704 と EL 素子 4708 との間に設けているが、電源制御用 TFT 4707 と EL 素子 4708 との間に EL 駆動用 TFT 4704 が設けられた構造としても良い。また、電源制御用 TFT 4707 は EL 駆動用 TFT 4704 と同一構造とするか、同一の活性層で直列させて形成するのが好ましい。

【0207】また、図 16 (A) は、二つの画素間で電源供給線 4706 を共通とした場合の例である。即ち、二つの画素が電源供給線 4706 を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0208】また、図 16 (B) は、ゲート配線 4703 と平行に電源供給線 4710 を設け、ソース信号線 4701 と平行に電源制御用ゲート配線 4711 を設けた場合の例である。なお、図 16 (B) では電源供給線 4710 とゲート配線 4703 とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線 4710 とゲート配線 4703 とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0209】本発明の検査方法は、図 16 に示した以外

の、様々な構成の画素を有する、あらゆる EL ディスプレイに適用することが可能である。

【0210】本実施例は実施例 2~4 と自由に組み合わせて実施することが可能である。

【0211】(実施例 6) 本実施例では、本発明の表示パネルに FPC や TAB 等のコネクタを接続し、実際に製品として出荷することができる形体にした場合について、図 17 及び図 18 を用いて説明する。

【0212】1801 は本発明の検査方法をパスした画素部であり、複数の画素が設けられている。画素部 1801 と、画素部 1801 が有する配線を外部へ接続するコネクタとを有するモジュールを本明細書では表示パネル 1806 と呼ぶ。

【0213】1802 はソース信号線駆動回路、1803 はゲート信号線駆動回路である。ゲート信号線駆動回路 1803 から出力された選択信号によって、ソース信号線駆動回路 1802 から出力されたビデオ信号が画素部 1801 の指定された画素に入力される。ビデオ信号はデジタルでもアナログでもどちらでも良い。またソース信号線駆動回路 1802 とゲート信号線駆動回路 1803 はいくつ設けられていても良い。

【0214】ソース信号線駆動回路 1802 及びゲート信号線駆動回路 1803 からなる駆動回路と、画素部 1801 と、画素部 1801 が有する配線及び駆動回路が有する配線を外部へ接続するコネクタとを有するモジュールを、本明細書では駆動回路付表示パネル 1807 と呼ぶ。駆動回路付表示パネル 1807 は表示パネル 1806 に駆動回路を付けたものである。

【0215】駆動回路付表示パネル 1807 は、駆動回路と画素部 1801 とが別の基板上に設けられ FPC や TAB 等のコネクタにより接続されている場合と、駆動回路と画素部 1801 とが同じ基板上に設けられている場合とがある。本明細書では、前者を駆動回路外付型駆動回路付表示パネルと呼び、後者を駆動回路一体形成型駆動回路付表示パネルと呼ぶ。

【0216】図 17 (A) は駆動回路外付型駆動回路付表示パネルの上面図である。基板 1810 上に画素部 1801 が設けられており、画素部 1801 が有する配線は FPC 1811 を介して、外付用基板 1813 上に設けられたソース信号線駆動回路 1802 とゲート信号線駆動回路 1803 とに接続されている。そして外部接続用 FPC 1812 により、ソース信号線駆動回路 1802 及びゲート信号線駆動回路 1803 と、画素部 1801 とが有する配線が外部へ接続されている。

【0217】図 17 (B) に駆動回路一体形成型駆動回路付表示パネルの上面図を示す。基板 1810 上に画素部 1801、ソース信号線駆動回路 1802 及びゲート信号線駆動回路 1803 が設けられている。画素部 1801、ソース信号線駆動回路 1802 及びゲート信号線駆動回路 1803 が有する配線は外部接続用 FPC 18

12を介して、外部へ接続されている。

【0218】図18において、1804はコントローラであり、駆動回路を駆動し、画素部に1801に画像を表示させるための機能を有している。例えば、外部から入力された画像情報を有する信号をソース信号線駆動回路1802に入力したり、駆動回路が駆動するための信号（例えばクロック信号（CLK）、スタートパルス信号（SP））を生成したり、駆動回路や画素部1801に電位を供給するための電源としての機能を有している。

【0219】駆動回路と、画素部1801と、コントローラ1804と、画素部1801、駆動回路、及びコントローラがそれぞれ有する配線を外部へ接続するコネクタとを有するモジュールを、本明細書ではコントローラ及び駆動回路付表示パネル1808と呼ぶ。コントローラ及び駆動回路付表示パネル1808は、表示パネル1806に駆動回路及びコントローラを付けたものである。

【0220】1805はマイコンであり、コントローラの駆動を制御している。マイコン1805と、駆動回路と、画素部1801と、コントローラ1804と、画素部1801、駆動回路、及びコントローラがそれぞれ有する配線を外部へ接続するコネクタとを有するモジュールを、本明細書ではマイコン及びコントローラ及び駆動回路付表示パネル1809と呼ぶ。マイコン及びコントローラ及び駆動回路付表示パネル1809は、表示パネル1806に駆動回路及びコントローラを付けたものである。

【0221】なお実際には、表示パネル1806、駆動回路付表示パネル1807、コントローラ及び駆動回路付表示パネル1808またはマイコン及びコントローラ及び駆動回路付表示パネル1809の形体で製品として出荷される。本明細書において、表示パネル1806、駆動回路付表示パネル1807、コントローラ及び駆動回路付表示パネル1808及びマイコン及びコントローラ及び駆動回路付表示パネル1809を全て表示用モジュールと呼ぶ。

【0222】（実施例7）本実施例では、実施例3及び実施例4で示した構成とは異なるEL素子を有する画素部の詳しい構成について説明する。

【0223】図19（A）はEL素子1907の断面図であり、樹脂に顔料を加えて層間絶縁膜に遮光膜としての機能を加えた遮光膜1901である。遮光膜1901上に陽極1902が設けられており、陽極1902上にEL層1903が設けられている。

【0224】EL層1903上にクラスタ1906が設けられており、クラスタ1906を覆ってEL層1903上に透明電極1904が形成されている。透明電極1904上にEL層に酸素または水分が入り込むのを防ぐ効果がある保護膜1905を形成した。

【0225】クラスタ1906は周期表の1族もしくは2族に属する元素の集合体であり、EL層1903上に点状もしくは塊状に設けられている。図19（A）の構造では、クラスタ1906の仕事関数が電子の注入障壁を決め、クラスタ1906を介してEL層1903に電子が注入される。

【0226】クラスタ1906はEL層1903上に点在して設けられているため、クラスタ1906の隙間からEL1903から発せられる光を透過することができる。

【0227】クラスタ1906は、その直径もしくは長径が10～100nm、高さ5～10nmとすることが好ましく、この程度の大きさならばクラスタ1906自体も半透明である。このようなクラスタ1906は、5～10nmといった薄い膜厚を目標として、蒸着法により成膜することで形成することができる。

【0228】図19（B）は、図19（A）におけるクラスタ1906を、EL層1903上ではなく、陽極1902上に形成した例である。

【0229】図19（B）において、樹脂に顔料を加えて層間絶縁膜に遮光膜としての機能を加えた遮光膜1901上に透明電極1904が設けられており、透明電極1904上にEL層1903が設けられている。

【0230】透明電極1904上にクラスタ1906が設けられており、クラスタ1906を覆って透明電極1904上にEL層1903が形成されている。

【0231】EL層1903上に陽極1902が形成されている。陽極1902は図19（B）では透明な材料を用いる。陽極1902上にEL層に酸素または水分が入り込むのを防ぐ効果がある保護膜1905を形成した。

【0232】クラスタ1906は周期表の1族もしくは2族に属する元素の集合体であり、EL層1903上に点状もしくは塊状に設けられている。クラスタ1906は図19（A）に示したのと同じ材料を用いることが可能である。図19（B）の構造では、クラスタ1906の仕事関数が電子の注入障壁を決め、クラスタ1906を介してEL層1903へ電子が注入される。

【0233】（実施例8）本発明の検査方法を適用したELディスプレイは、自発光型であるため液晶ディスプレイに比べて明るい場所での視認性に優れ、しかも視野角が広い。従って、様々な電子機器の表示部として用いることが出来る。例えば、TV放送等を大画面で鑑賞するには対角30インチ以上（典型的には40インチ以上）のディスプレイの表示部において本発明の検査方法を適用したELディスプレイを用いると良い。

【0234】なお、ELディスプレイには、パソコン用表示装置、TV放送受信用表示装置、広告表示用表示装置等の全ての情報表示用表示装置が含まれる。また、その他にも様々な電子機器の表示部に本発明の検査方法を

用いることが出来る。

【0235】その様な本発明の電子機器としては、ビデオカメラ、デジタルカメラ、ゴーグル型表示装置（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオをディオコンボ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはデジタルビデオディスク（DVD）等の記録媒体を再生し、その画像を表示するディスプレイを備えた装置）などが挙げられる。特に、斜め方向から見ることの多い携帯情報端末は視野角の広さが重要視されるため、ELディスプレイを用いることが望ましい。それら電子機器の具体例を図20および図21に示す。

【0236】図20（A）はELディスプレイであり、筐体3301、支持台3302、表示部3303等を含む。本発明の検査方法を適用したELディスプレイは表示部3303に用いることが出来る。ELディスプレイは自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることが出来る。

【0237】図20（B）はビデオカメラであり、本体3311、表示部3312、音声入力部3313、操作スイッチ3314、バッテリー3315、受像部3316等を含む。本発明の検査方法を適用したELディスプレイは表示部3312にて用いることが出来る。

【0238】図20（C）はヘッドマウントELディスプレイの一部（右片側）であり、本体3321、信号ケーブル3322、頭部固定バンド3323、表示部3324、光学系3325、表示装置3326等を含む。本発明の検査方法を適用したELディスプレイは表示装置3326にて用いることが出来る。

【0239】図20（D）は記録媒体を備えた画像再生装置（具体的にはDVD再生装置）であり、本体3331、記録媒体（DVD等）3332、操作スイッチ3333、表示部（a）3334、表示部（b）3335等を含む。表示部（a）3334は主として画像情報を表示し、表示部（b）3335は主として文字情報を表示するが、本発明の検査方法を適用したELディスプレイはこれら表示部（a）3334、表示部（b）3335にて用いることが出来る。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0240】図20（E）はゴーグル型表示装置（ヘッドマウントディスプレイ）であり、本体3341、表示部3342、アーム部3343を含む。本発明の検査方法を適用したELディスプレイは表示部3342にて用いることが出来る。

【0241】図20（F）はパーソナルコンピュータであり、本体3351、筐体3352、表示部3353、キーボード3354等を含む。本発明の検査方法を適用したELディスプレイは表示部3353にて用いること

が出来ると。

【0242】なお、将来的にEL材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型あるいはリア型のプロジェクターに用いることも可能となる。

【0243】また、上記電子機器はインターネットやCATV（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。EL材料の応答速度は非常に高いため、ELディスプレイは動画表示に好ましい。

【0244】また、ELディスプレイは発光している部分が電力を消費するため、省消費電力化のためには発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部にELディスプレイを用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0245】図21（A）は携帯電話であり、本体3401、音声出力部3402、音声入力部3403、表示部3404、操作スイッチ3405、アンテナ3406を含む。本発明の検査方法を適用したELディスプレイは表示部3404にて用いることが出来る。なお、表示部3404は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることが出来る。

【0246】図21（B）は音響再生装置、具体的にはカーオーディオであり、本体3411、表示部3412、操作スイッチ3413、3414を含む。本発明の検査方法を適用したELディスプレイは表示部3412にて用いることが出来る。また、本実施例では車載用オーディオを示すが、携帯型や家庭用の音響再生装置に用いても良い。なお、表示部3414は黒色の背景に白色の文字を表示することで消費電力を抑えられる。これは携帯型の音響再生装置において特に有効である。

【0247】図21（C）はデジタルカメラであり、本体3501、表示部（A）3502、接眼部3503、操作スイッチ3504、表示部（B）3505、バッテリー3506を含む。本発明の検査方法を適用したELディスプレイは、表示部（A）3502、表示部（B）3505にて用いることが出来る。また、表示部（B）3505を、主に操作パネルとして用いる場合、黒色の背景に白色の文字を表示することで消費電力を抑えることが出来る。

【0248】また、本実施例にて示した携帯型電子機器においては、消費電力を低減するための方法としては、外部の明るさを感知するセンサ部を設け、暗い場所で使用する際には、表示部の輝度を落とすなどの機能を付加するなどといった方法が挙げられる。

【0249】以上の様に、本発明の適用範囲は極めて広

く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例 1～実施例 7 に示したいずれの構成を適用しても良い。

【0250】

【発明の効果】本発明の検査方法によって、ELパネルをELディスプレイとして完成させなくても、ELパネルが良品か不良品かの区別をつけることが可能になる。よって、実際には製品にならない不良品のELパネルをELディスプレイとして完成させる必要がなくなる。そのためEL素子を形成する工程と、パッケージングする工程と、コネクタを取り付ける工程とを省くことができ、時間とコストを抑えることができる。また多面取りの基板を用いてELパネルを形成する場合でも、パッケージングする工程と、コネクタを取り付ける工程とを省くことができ、同様に時間とコストを抑えることができる。

【0251】また第1の検査方法では、検査終了後、該導電膜をパターンニングすることで画素電極を形成することができる。よって検査のために工程数を増やす必要がない。

【0252】なお本発明の検査方法は、様々な構成を有する画素を含む、あらゆるELディスプレイの良品と不良品の区別をつけることが可能である。

【図面の簡単な説明】

【図1】 本発明の検査方法を適用するELパネルの上面図。

【図2】 本発明の検査方法を適用するELパネルの上面図。

【図3】 本発明の検査方法を適用するELパネルの画素部の回路図。

【図4】 画素部の配置パターンと測定値の判断基準を示すグラフ。

【図5】 本発明の検査方法を適用した後のELパネルの画素部の回路図。

【図6】 本発明の検査方法を適用するELパネルの画素部の回路図。

【図7】 画素部の配置パターン。

【図8】 本発明の検査方法を適用した後のELパネルの画素部の回路図。

【図9】 本発明の検査方法を適用した後のELパネルの画素の拡大図と回路図。

10 【図10】 本発明の検査方法を適用するELパネルの作製方法を示す図。

【図11】 本発明の検査方法を適用するELパネルの作製方法を示す図。

【図12】 本発明の検査方法を適用するELパネルの作製方法を示す図。

【図13】 本発明の検査方法を適用するELパネルの作製方法を示す図。

【図14】 本発明の検査方法を適用するELパネルの作製方法を示す図。

20 【図15】 本発明の検査方法を適用したELパネルを用いたELディスプレイの上面図と断面図。

【図16】 本発明の検査方法を適用したELパネルの画素の回路図。

【図17】 本発明の検査方法を適用した駆動回路付表示パネルの上面図。

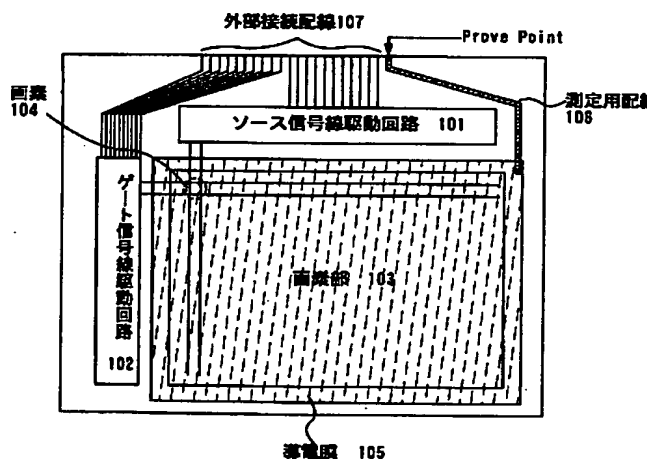
【図18】 本発明の検査方法を適用した表示用モジュールを示す図。

【図19】 EL素子の断面図。

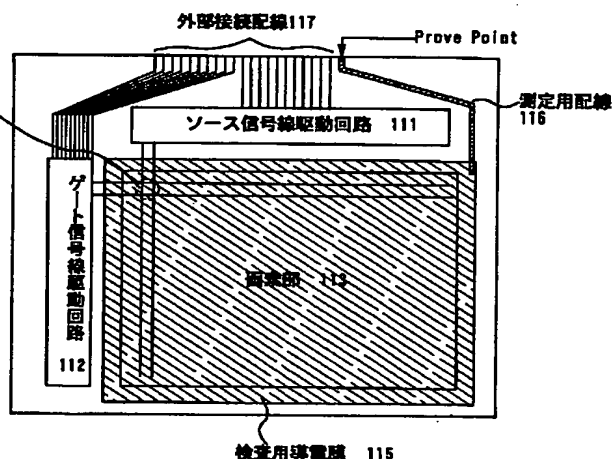
30 【図20】 本発明の検査方法を適用したELディスプレイを用いた電子機器。

【図21】 本発明の検査方法を適用したELディスプレイを用いた電子機器。

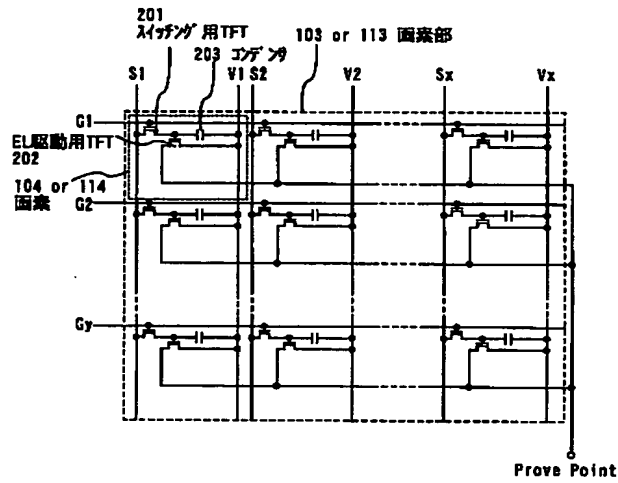
【図1】



【図2】



【図 3】

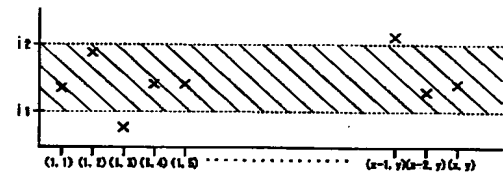


【図 4】

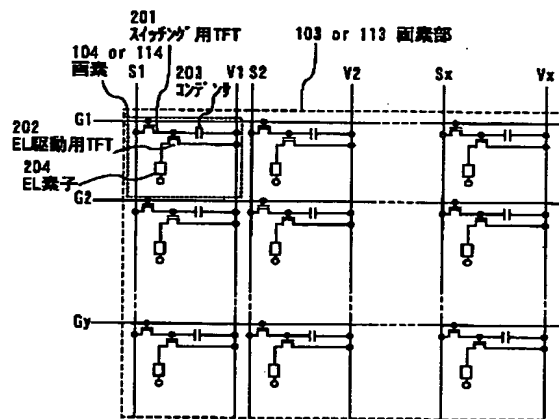
(A)

(1, 1)	(2, 1)	(3, 1)	(4, 1)		(x-1, 1)	(x, 1)
(1, 2)	(2, 2)	(3, 2)	(4, 2)		(x-1, 2)	(x, 2)
(1, 3)	(2, 3)	(3, 3)	(4, 3)		(x-1, 3)	(x, 3)
(1, 4)	(2, 4)	(3, 4)	(4, 4)		(x-1, 4)	(x, 4)
(1, y-1)	(2, y-1)	(3, y-1)	(4, y-1)		(x-1, y-1)	(x, y-1)
(1, y)	(2, y)	(3, y)	(4, y)		(x-1, y)	(x, y)

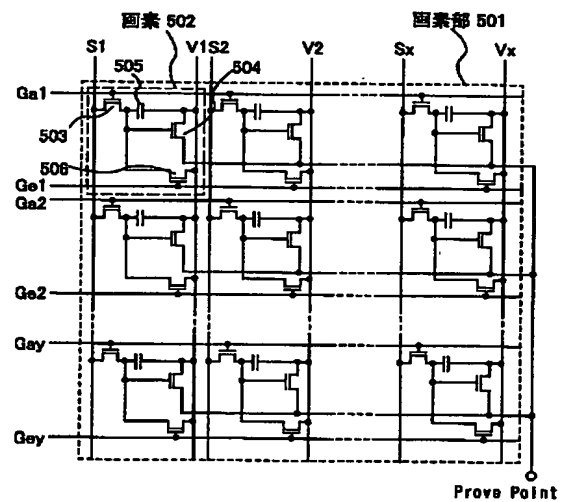
(B)



【図 5】



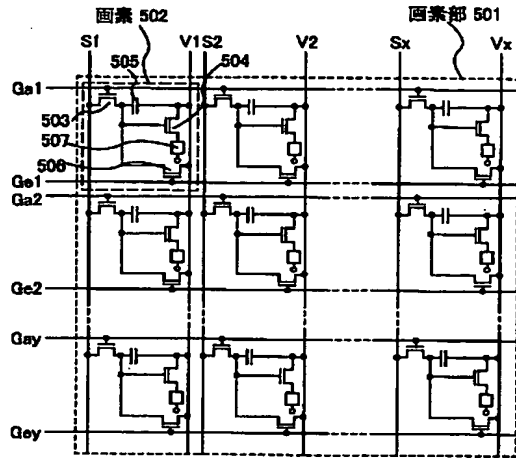
【図 6】



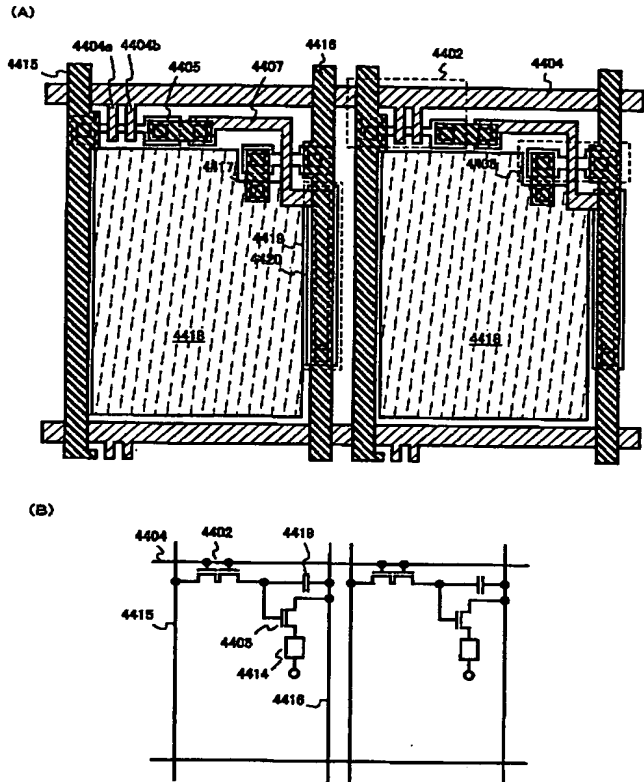
【図 7】

(1, 1)	(2, 1)	(3, 1)	(4, 1)		(x-1, 1)	(x, 1)
(1, 2)	(2, 2)	(3, 2)	(4, 2)		(x-1, 2)	(x, 2)
(1, 3)	(2, 3)	(3, 3)	(4, 3)		(x-1, 3)	(x, 3)
(1, 4)	(2, 4)	(3, 4)	(4, 4)		(x-1, 4)	(x, 4)
(1, y-1)	(2, y-1)	(3, y-1)	(4, y-1)		(x-1, y-1)	(x, y-1)
(1, y)	(2, y)	(3, y)	(4, y)		(x-1, y)	(x, y)

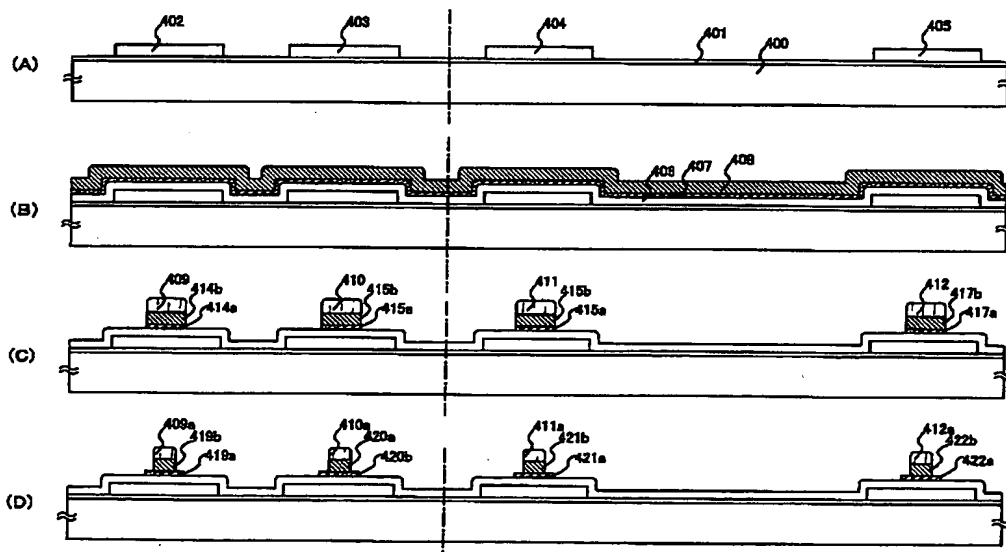
【図 8】



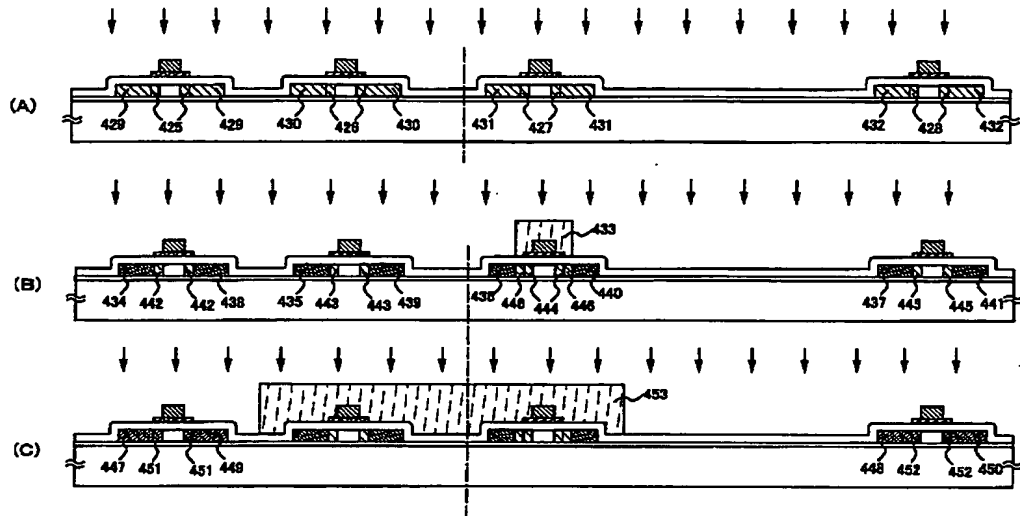
【図 9】



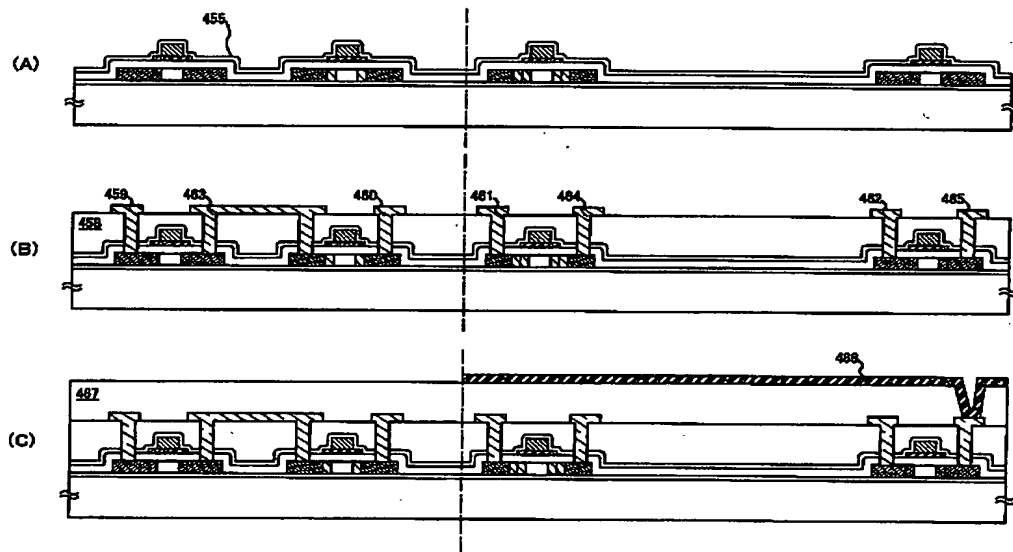
【図 10】



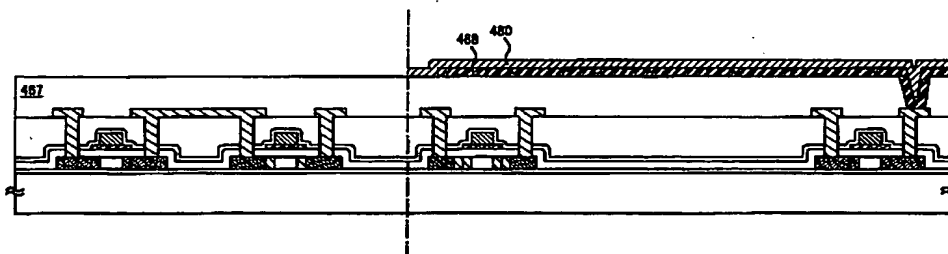
【図 1 1】



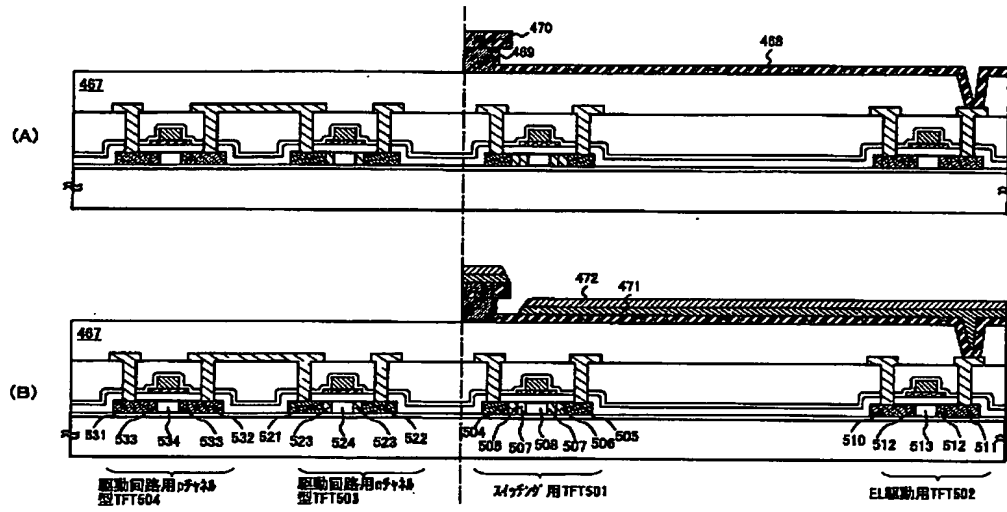
【図 1 2】



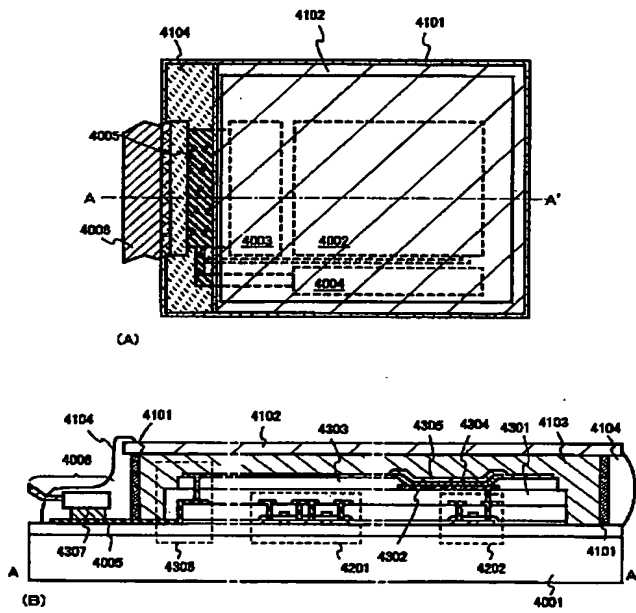
【図 1 4】



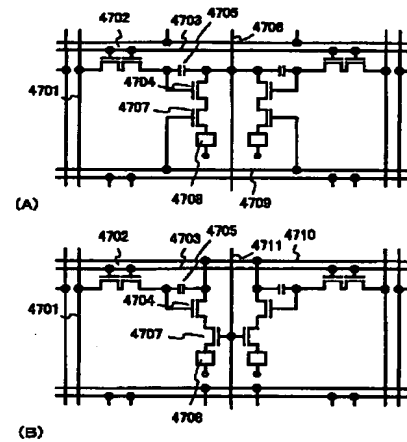
【図13】



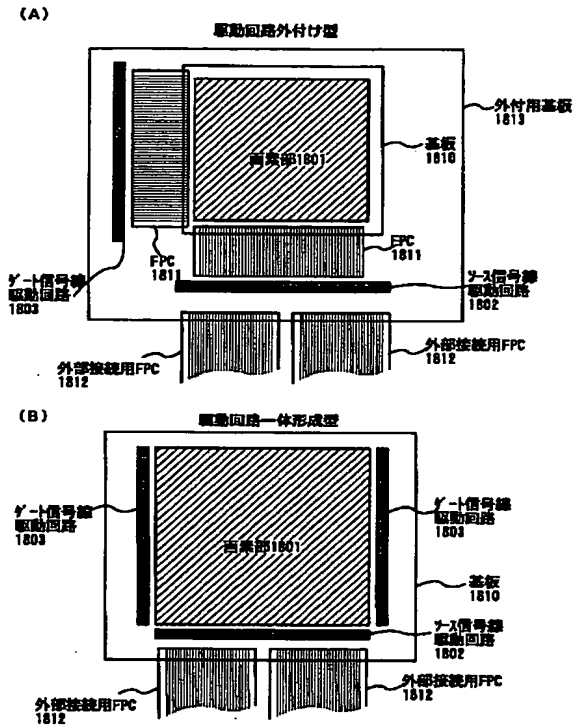
【図15】



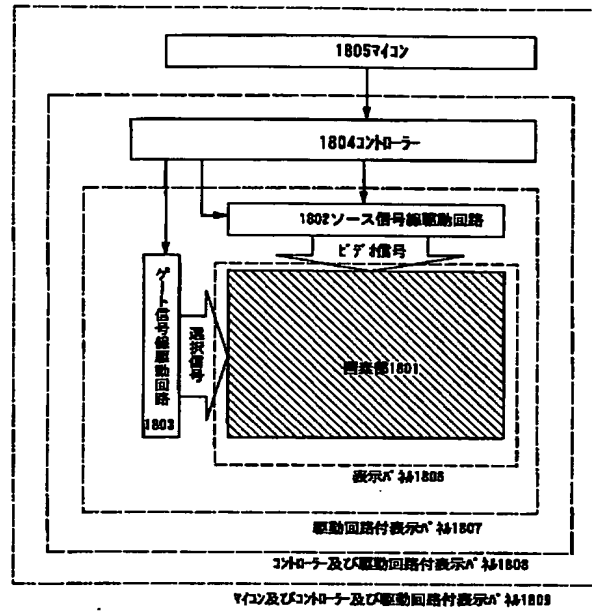
【図16】



【図 17】

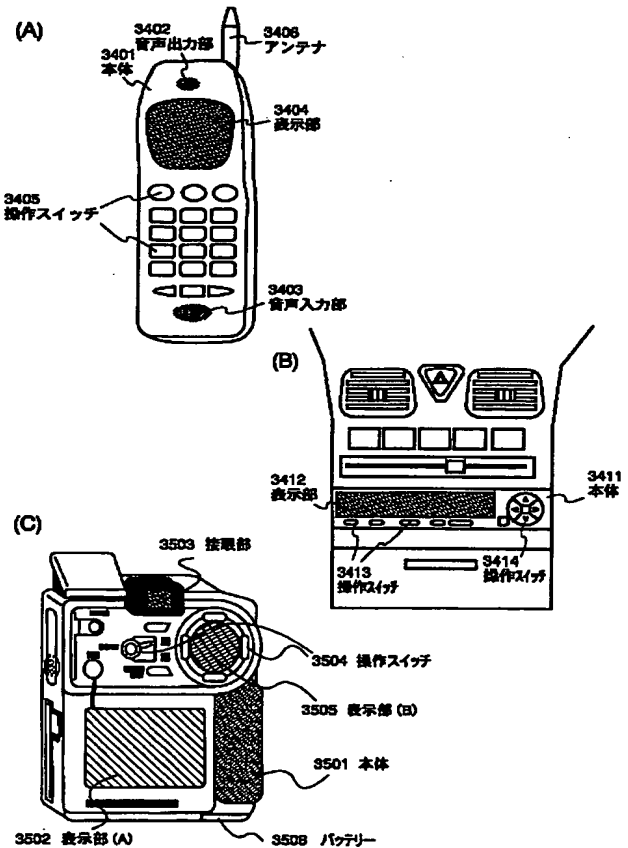
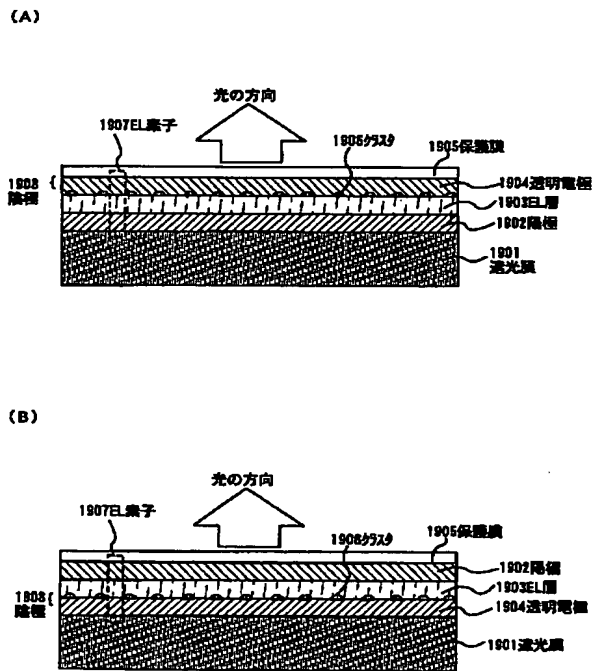


【図 18】

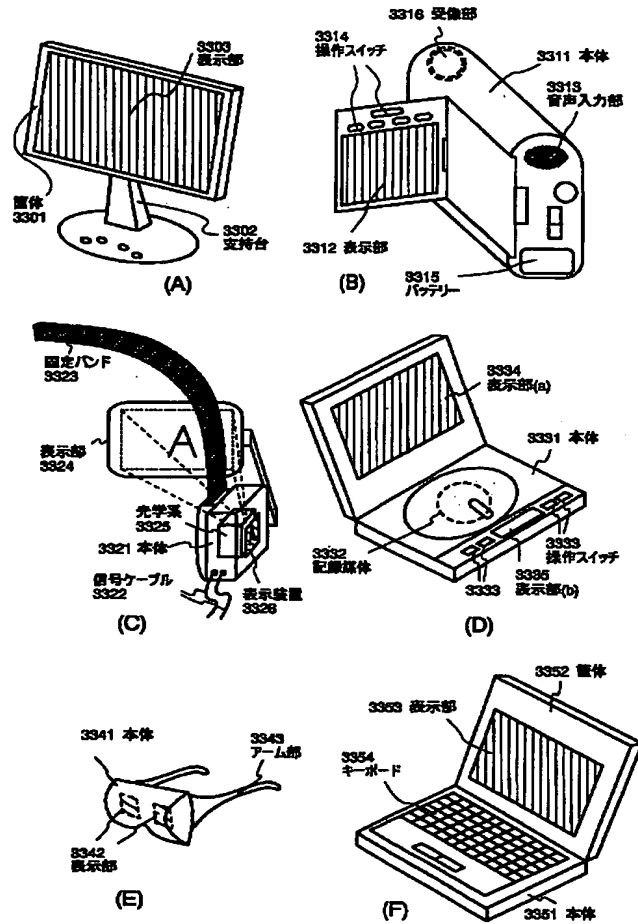


【図 21】

【図 19】



【図 20】



フロントページの続き

(51) Int. Cl.⁷

H 0 1 L 27/08
27/092
29/786

識別記号

3 3 1

F I

H 0 1 L 29/78
21/88
27/08

テマコード (参考)

6 1 2 B 5 G 4 3 5
M
Z
3 2 1 D
3 2 1 F

Fターム(参考) 2G014 AA02 AA03 AB20 AB21 AC19
5C094 AA43 AA44 BA03 BA27 CA19
CA25 DA09 DA13 DB02 EA03
EA04 FA01 FB01 FB12 FB14
FB15 FB20 GA10 GB10 HA08
HA10
5F033 HH00 HH04 HH08 HH11 HH18
HH19 HH20 HH21 HH32 MM05
MM08 PP06 PP15 QQ12 QQ37
QQ58 QQ65 QQ73 QQ82 QQ83
RR04 RR08 RR21 VV04 VV06
VV12 VV15 XX10 XX14 XX19
XX37
5F048 AB10 AC04 AC10 BA16 BB02
BB04 BB06 BB09 BB12 BC06
BF01 BF04 BF07 BF11
5F110 AA16 AA24 BB01 BB02 BB04
CC02 CC07 CC08 DD02 DD03
DD13 DD14 DD15 DD17 EE01
EE02 EE03 EE04 EE09 EE14
EE15 EE23 EE28 EE44 EE45
FF02 FF03 FF04 FF28 FF30
FF36 GG01 GG02 GG13 GG15
GG24 GG25 GG45 HJ01 HJ04
HJ12 HJ18 HJ23 HK03 HK04
HK09 HK16 HL07 HL23 HM15
HM17 HM18 NN03 NN04 NN22
NN23 NN24 NN27 NN35 NN72
NN73 PP02 PP03 PP05 PP34
QQ01 QQ04 QQ24 QQ25 QQ30
5G435 AA17 BB05 CC09 CC12 EE37
HH12 KK05 LL01 LL07